

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-085343

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

G06F 3/00
H03K 19/0175

(21)Application number : 10-174291

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 22.06.1998

(72)Inventor : GABARA THADDEUS JOHN

(30)Priority

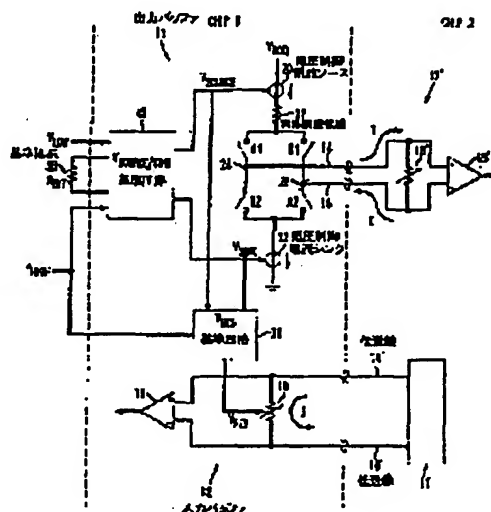
Priority number : 97 882827 Priority date : 26.06.1997 Priority country : US

(54) INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide LVDS I/O buffers maintaining high speed data transfer between package devices on a printed circuit board and between different back planes.

SOLUTION: The operation points of LVDS input/output buffers 11 and 12 are biased by voltage generated by a reference feed back circuit. Output buffer voltage, current and input buffer impedance are kept constant regardless of all processes, voltage and temperature conditions. Thus, the voltage logic level of transfer data also becomes constant. The reference circuit 45 can generate bias voltage for all input/output buffers on a chip by using one inner or outer reference resistor REXT, reference voltage VHIG and VLOW.



LEGAL STATUS

[Date of request for examination] 17.09.1999

[Date of sending the examiner's decision of rejection] 13.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-85343

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁶

識別記号

F I

G 0 6 F 3/00

G 0 6 F 3/00

H

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 F

1 0 1 K

審査請求 未請求 請求項の数56 O L 外国語出願 (全 62 頁)

(21) 出願番号 特願平10-174291

(22) 出願日 平成10年(1998) 6月22日

(31) 優先権主張番号 08/882827

(32) 優先日 1997年6月26日

(33) 優先権主張国 米国 (US)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ
レイテッド

Lucent Technologies
Inc.

アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(72) 発明者 タッデウス ジョン ガバラ

アメリカ合衆国, 07974 ニュージャージ
ー、マーレイ ヒル、バーリントン ロ
ード 62

(74) 代理人 弁理士 三俣 弘文

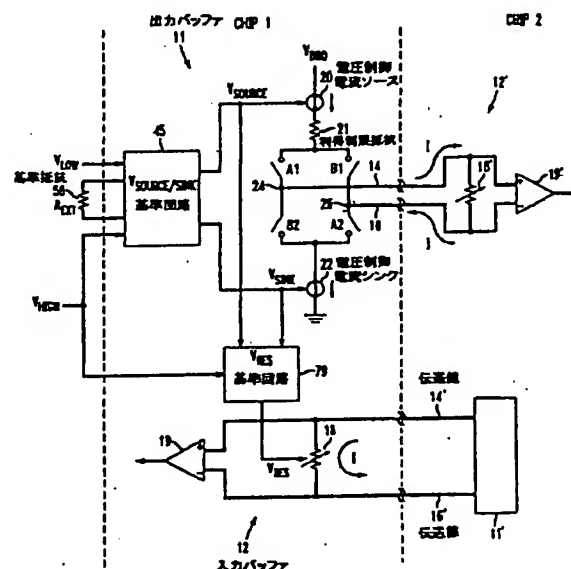
最終頁に続く

(54) 【発明の名称】 集積回路

(57) 【要約】

【課題】 プリント回路基板上のパッケージデバイスの間や異なるバックプレーンの間の高速データ転送を維持するLVDS I/Oバッファを提供する。

【解決手段】 LVDS入力および出力バッファの動作点は、基準帰還回路により生成された電圧によりバイアスされ、出力バッファ電圧および電流、入力バッファインピーダンスがすべてのプロセス、電圧、温度条件に関わらず一定に保たれ、従って、転送データの電圧ロジックレベルもまた一定となるようにする。基準回路は、1つの内部または外部基準抵抗 R_{EXT} と基準電圧 V_{HIGH} および V_{LOW} のみを用いて、チップ上のすべての入出力バッファに対してバイアス電圧を生成することができる。



【特許請求の範囲】

【請求項1】 第1抵抗値の終端抵抗を有する第1および第2平衡型伝送線上のデータ送信のための低電圧差分スウィング相互接続バッファおよびバイアス回路を有する集積回路であって、この集積回路は、基準抵抗につながれ、

前記相互接続バッファおよびバイアス回路は、

(A) 前記伝送線に接続し、かつ、第1供給電圧ソースにつながれ第1バイアス電圧を有する第2バイアス電圧を有し、第1電圧制御電流ソース、かつ、接地につながった第1電圧制御電流シンク、および第1電圧制御電流ソースおよび第1電圧制御電流シンクの間に直列につながった電流スイッチを有する出力バッファと、ここで、前記電流スイッチは、第1および第2平衡型伝送線および終端抵抗を通る前記出力バッファからの電流の流れの方向を制御し、

(B) 第3バイアス電圧を有する第1電圧制御入力抵抗、および入力電流が流れたときに電気電圧制御入力抵抗をまたがる電圧降下の極性を検出する比較器を有する入力バッファと、

(C) 高および低入力基準電圧を有し、かつ、前記基準抵抗につながった第1電圧基準回路と、ここで、第1電圧基準回路は、第1および第2伝送線を通る前記出力バッファからの電流が実質的に前記高入力基準電圧から前記低基準電圧への前記終端抵抗をまたがる電圧降下を発生するように第1および第2バイアス電圧を発生し、

(D) 第1および第2バイアス電圧および前記入力基準電圧の少なくとも1つを入力として有する第2電圧基準回路とを有し、ここで、

第2電圧基準回路は、前記入力バッファにおける第1電圧制御抵抗を実質的に第1抵抗値と等しい抵抗値までバイアスするために、第3バイアス電圧を生成することを特徴とする集積回路。

【請求項2】 前記電流スイッチは、第1ノードにつながった第1および第2スイッチ、および第2ノードにつながった第3および第4スイッチを有し、

第1および第3スイッチは、直列につながり、第2および第4スイッチは、直列につながり、

第1伝送線は、第1および第3スイッチへつながり、第2伝送線は、第2および第4スイッチにつながり、

第1および第4スイッチが伝導状態であり、第2および第3スイッチが非伝導状態であるときに定められる第1電流パスを有し、

第1および第4スイッチが非伝導状態であり、第2および第3スイッチが伝導状態であるときに定められる第2電流パスを有することを特徴とする請求項1記載の集積回路。

【請求項3】 バイナリデータ入力信号および複数の出力制御信号を有する電流スイッチ制御回路をさらに有

し、ここで、

前記出力信号は、第1～4スイッチを伝導状態または非伝導状態のいずれかとしてバイアスし、これにより、前記データ入力信号の値に従って第1電流パスまたは第2電流パスのいずれかを選択することを特徴とする請求項2記載の集積回路。

【請求項4】 前記電流スイッチ制御回路は、第2供給電圧につながれ、第2供給電圧は、第1供給電圧以上の大きさを有することを特徴とする請求項3記載の集積回路。

【請求項5】 第1基準回路は、

(E) 第1供給電圧、および導電状態にバイアスされ、かつ、第3ノードにおいて第2電圧制御電流ソースおよび前記基準抵抗の間に直列につながれた第5スイッチへとつながれた第2電圧制御電流ソースおよび前記基準抵抗の間に直列につながった第2電圧制御電流ソースと、

(F) 接地、および導電状態にバされ、かつ、第4ノードにおいて第2電圧制御電流シンクおよび電気基準抵抗の間に直列につながれた第6スイッチにつながれた第2電圧制御電流シンクと、

(J) 第3ノードにおける電圧が前記高入力基準電圧と等しく第4ノードにおける電圧が前記低入力基準電圧と等しいように、第2電圧制御電流ソースおよび第2電圧制御電流シンクをそれぞれバイアスする第1および第2バイアス電圧を発生する帰還回路とを有することを特徴とする請求項2記載の集積回路。

【請求項6】 前記帰還回路は、

(H) 第1バイアス電圧を出力として有し、かつ、前記高入力基準電圧および第3ノードにおける電圧を入力として有する第1オペアンプと、ここで、前記入力電圧は、第2電圧制御電流ソースを通る電流の大きさが第3ノードにおける電圧に逆関係に依存するようにつながれ、

(I) 第2バイアス電圧を出力として有し、かつ、低入力基準電圧および第3ノードにおける電圧を入力として有する第2オペアンプとを有し、ここで、

前記入力電圧は、第2電圧制御電流シンクを通る電流の大きさが第4ノードにおける電圧に依存するようにつながれることを特徴とする請求項5記載の集積回路。

【請求項7】 第1オペアンプの出力と第4ノードの間につながれた少なくとも1つの第1キャパシタと、および第2オペアンプの出力と第3ノードの間につながれた第2キャパシタを有することを特徴とする請求項5記載の集積回路。

【請求項8】 前記終端抵抗の第1抵抗値は、前記基準抵抗値と等しく、第2電圧制御電流ソース、第2電圧制御電流シンク、第5スイッチおよび第6スイッチはそれぞれ、第1電圧制御電流ソース、第1電圧制御電流シンク、第1スイッチおよび第4スイッチの動作特性と実質的に同じ動作特性を有することを特徴とする請求項5記

載の集積回路。

【請求項9】(J)第2電圧基準回路は、第1バイアス電圧の制御のもとであり、かつ、第1供給電圧につながった第2電圧制御電流ソースと、

(K)導電状態にバイアスされ、かつ、第3ノードにおいて第2電圧制御電流ソースと第2電圧制御抵抗の間に直列につながれた第5スイッチと、

(L)第2バイアス電圧の制御のもとにより、かつ、接地につながれた第2電圧制御電流シンクと、

(M)導電状態にバイアスされ、かつ、第4ノードにおいて第2電圧制御電流シンクと第2電圧制御抵抗の間に直列につながれた第6スイッチと、

(N)第3ノードにおける電圧が高入力基準電圧に等しく、第4ノードにおける電圧が低入力基準電圧に等しいように、第2電圧制御抵抗をバイアスする第3バイアス電圧を発生する帰還回路とを有することを特徴とする請求項2記載の集積回路。

【請求項10】前記帰還回路は、第3バイアス電圧を出力として有し、高入力基準電圧および第3ノードにおける電圧を入力として有し、第2電圧制御抵抗の抵抗値が第3ノードにおける電圧に逆関係に依存するようにつながれたオペアンプを有することを特徴とする請求項9記載の集積回路。

【請求項11】前記帰還回路は、第3バイアス電圧を出力として有し、低入力基準電圧および第4ノードにおける電圧を入力として有するオペアンプを有し、前記入力電圧は、第2電圧制御抵抗の抵抗値が第4ノードにおける電圧に依存するようにつながれることを特徴とする請求項9記載の集積回路。

【請求項12】第2電圧制御電流ソース、第2電圧制御電流シンク、第2電圧制御抵抗、第5スイッチおよび第6スイッチはそれぞれ、第1電圧制御電流ソース、第1電圧制御電流シンク、第1電圧制御抵抗、第1スイッチおよび第4スイッチの動作特性と実質的に同じ動作特性を有することを特徴とする請求項9記載の集積回路。

【請求項13】前記出力バッファは、第1および第2平衡型伝送線をまたがってつながれた第2電圧制御抵抗を有することを特徴とする請求項1記載の集積回路。

【請求項14】第2電圧制御抵抗は、第1電圧制御抵抗の動作特性と実質的に同じ動作特性を有することを特徴とする請求項13記載の集積回路。

【請求項15】前記入力バッファは、第1電圧制御抵抗と前記比較器の間に履歴回路を有することを特徴とする請求項1記載の集積回路。

【請求項16】前記履歴回路は、1ビットメモリセルを有することを特徴とする請求項15記載の集積回路。

【請求項17】第1電圧制御抵抗は、第1および第2伝送線をまたがってつながれることを特徴とする請求項1記載の集積回路。

【請求項18】データイネーブル信号を入力として有

するデータイネーブル回路を有し、前記イネーブル回路は、データイネーブル信号がアクティブでないときに出力バッファと第1および第2伝送線の間の電流の流れを防ぐために、電流スイッチを非伝導状態にバイアスすることを特徴とする請求項17記載の集積回路。

【請求項19】抵抗イネーブル信号を入力として有する抵抗イネーブル回路を有し、前記抵抗イネーブル回路は、抵抗イネーブル信号がアクティブでないときに高インピーダンス状態の第1電圧制御抵抗をバイアスすることを特徴とする請求項18記載の集積回路。

【請求項20】第1電圧制御抵抗は、第1および第2伝送線をまたがってつながれることを特徴とする請求項3記載の集積回路。

【請求項21】前記電流スイッチ制御回路は、入力としてデータイネーブル信号を有し、前記電流制御回路は、データイネーブル信号がアクティブでないときに前記1～4スイッチを伝導状態にバイアスすることを特徴とする請求項20記載の集積回路。

【請求項22】抵抗イネーブル信号を入力として有する抵抗イネーブル回路を有し、前記抵抗イネーブル回路は、抵抗イネーブル信号がアクティブでないときに高インピーダンス状態の第1電圧制御抵抗をバイアスすることを特徴とする請求項21記載の集積回路。

【請求項23】出力バッファおよび入力バッファからなる差分スウィング相互接続1/Oバッファを有する集積回路であって、

(A)前記入力バッファは、第1および第2入力を有し、かつ、抵抗制御電圧により決められる抵抗値を有する第1可変入力抵抗を有し、かつ、第1および第2入力と、可変入力抵抗をまたがる電圧降下の極性を検出するために入力検出器回路との間につながり、

(B)前記出力バッファは、第1および第2出力を有し、電力供給と第1および第2出力の間につながった第1出力バッファ部分と、および接地と第1および第2出力との間につながった第2出力バッファ部分とを有し、

(C)第1出力バッファ部分は、ソースバイアス電圧により制御される第1可変電流ソースと、および導電状態または非導電状態として構成することができる第1スイッチグループとを有し、第1可変電流ソースおよび第1スイッチグループは、前記電力供給および第1および第2出力の間に直列接続されていて、

(D)第2出力バッファ部分は、シンクバイアス電圧により制御される第1可変電流シンクと、および導電状態または非導電状態として構成することができる第2スイッチグループとを有し、第1可変電流シンクおよび第2スイッチグループは、接地と第1および第2出力の間に直列接続されていて、

(E)第1および第2スイッチグループにつながった出力制御回路を有し、この出力制御回路は、前記スイッチの状態を制御し、これにより、第1スイッチ構成を定

5

め、ここで、第1出力は、前記電流ソースにつながり、第2出力は、前記電流シンクおよび第2スイッチ構成につながり、ここで、第1出力は、前記電流シンクにつながり、第2出力は、前記電流ソースへつながることを特徴とする集積回路。

【請求項24】 基準抵抗につながり、前記ソースバイアス電圧および前記シンクバイアス電圧を生成する電流バイアス基準回路を有し、前記電流バイアス基準回路は、高入力基準電圧および低入力基準電圧につながり、

(F) 第1基準ノードにおいて前記パワー供給および前記基準抵抗の間につながり、かつ、前記ソースバイアス電圧により制御される第2可変電流ソースを有する第1電流バイアス基準回路部分と、

(G) 第2基準ノードにおいて接地と前記基準抵抗の間につながれ、かつ、前記シンクバイアス電圧により制御される第2可変電流シンクを有する第2電流バイアス基準回路部分と、

(H) 第1基準ノードにおける電圧が前記高入力基準電圧に実質的に等しいような大きさの前記ソースバイアス電圧を生成し、かつ、第2基準ノードにおける電圧が低入力基準電圧に実質的に等しいような大きさを前記シンクバイアス電圧を生成する第1帰還回路とを有し、こ

で、第1帰還回路は、第2可変電流ソースを通る電流の大きさが第1基準ノードにおける電圧に逆関係に依存し、かつ、第2可変電流シンクを通る電流の大きさが第4ノードにおける電圧に依存するように接続されることを特徴とする請求項23記載の集積回路。

【請求項25】 第1電流バイアス基準回路部分は、第1出力バッファ部分の動作特性と実質的に同じ動作特性を有し、第2電流バイアス基準回路部分は、第2出力バッファ部分の動作特性と実質的に同じ動作特性を有することを特徴とする請求項24記載の集積回路。

【請求項26】 能動抵抗バイアス電圧を生成し、前記高および低入力基準電圧の少なくとも1つにつながれた抵抗バイアス基準回路を有し、前記抵抗制御電圧は、前記能動抵抗バイアス電圧に等しく、前記抵抗バイアス基準回路は、

(I) 第3基準ノードにおいて前記パワー供給および第2可変入力抵抗の間につながれた第1抵抗バイアス基準回路部分と、ここで、

第2可変入力抵抗は、前記能動抵抗バイアス電圧により制御され、

第1抵抗バイアス基準回路部分は、前記ソースバイアス電圧にバイアスされた第3可変電流ソースを有し、

(J) 第4基準ノードにおいて接地と第2可変入力抵抗の間に接続した第2抵抗バイアス基準回路部分と、こ

で、第2抵抗バイアス基準回路部分は、前記シンクバイアス電圧により制御される第3可変電流シンクを有し、

6

(K) 第3基準ノードにおける電圧が前記高入力基準電圧に実質的に等しく、かつ、第4基準ノードにおける電圧が前記低入力基準電圧に実質的に等しいような大きさの前記能動抵抗バイアス電圧を生成する第2帰還回路とを有することを特徴とする請求項24記載の集積回路。

【請求項27】 第2可変入力抵抗は、前記入力バッファにおける第1可変入力抵抗の動作特性と実質的に同じ動作特性を有し、第1抵抗バイアス基準回路部分は、第1出力バッファ部分との動作特性と実質的に同じ動作特性を有し、第2抵抗バイアス基準回路部分は、第2出力バッファ部分の動作特性と実質的に同じ動作特性を有することを特徴とする請求項26記載の集積回路。

【請求項28】 第1入力は、第1I/Oノードにおいて第1出力につながり、第2入力は、第2I/Oノードにおいて第2出力につながることを特徴とする請求項26記載の集積回路。

【請求項29】 第1、第2および第3可変電流ソースのそれぞれは、前記ソースバイアス電圧と同じゲート電圧を有するMOSトランジスタを有することを特徴とする請求項28記載の集積回路。

【請求項30】 第1、第2および第3可変電流シンクは、前記シンクバイアス電圧と等しいゲート電圧を有するMOSトランジスタを有することを特徴とする請求項28記載の集積回路。

【請求項31】 第1スイッチグループは、第1可変電流ソースおよび第1I/Oノードの間につながる第1スイッチと、および第1可変電流ソースおよび第2I/Oノードの間につながる第2スイッチとを有し、第2スイッチグループは、第1I/Oノードおよび第1可変電流SINKの間につながる第3スイッチと、および第2I/Oノードおよび第1可変電流シンクの間につながる第4スイッチとを有することを特徴とする請求項28記載の集積回路。

【請求項32】 第1～4スイッチのそれぞれは、MOSトランジスタを有することを特徴とする請求項31記載の集積回路。

【請求項33】 第1可変入力抵抗は、前記抵抗制御電圧と等しいゲート電圧を有するMOSトランジスタを有することを特徴とする請求項28記載の集積回路。

【請求項34】 第1可変入力抵抗は、複数の直列接続したMOSトランジスタを有し、各MOSトランジスタは、前記抵抗制御電圧と等しいゲート電圧を有することを特徴とする請求項33記載の集積回路。

【請求項35】 直列接続したMOSトランジスタの対と接地との間につながる少なくとも1つのキャパシタを有することを特徴とする請求項34記載の集積回路。

【請求項36】 前記入力検出器回路は、比較器を有することを特徴とする請求項28記載の集積回路。

【請求項37】 第1帰還回路は、前記高入力基準電圧および第1基準ノードにおける電

を入力として有し、かつ、前記ソースバイアス電圧を出力として有する第1オペアンプと、および前記低入力基準電圧および第2基準ノードにおける電圧を入力として有し、かつ、前記シンクバイアス電圧を出力として有する第2オペアンプとを有することを特徴とする請求項28記載の集積回路。

【請求項38】 第1オペアンプの出力と第2基準ノードの間につながる少なくとも1つの第1キャパシタと、および第2オペアンプの出力と第1基準ノードの間につながる第2キャパシタとを有することを特徴とする請求項37記載の集積回路。

【請求項39】 第2帰還回路は、前記高入力基準電圧および第3基準ノードにおける電圧を入力として有し、かつ、前記能動抵抗バイアス電圧を出力として有するオペアンプを有することを特徴とする請求項28記載の集積回路。

【請求項40】 第1入力バッファ部分は、第1可変電流ソースと第1可変電流シンクの間に直列につながる少なくとも1つの利得制限抵抗を有することを特徴とする請求項28記載の集積回路。

【請求項41】 第1入力、第1出力につながり、第2入力、第2出力につながることを特徴とする請求項23記載の集積回路。

【請求項42】 抵抗イネーブル信号を有する抵抗イネーブル回路を有し、前記抵抗イネーブル回路は、前記抵抗イネーブル信号にตอบสนองして、前記可変入力抵抗をイネーブルするために前記能動抵抗バイアス電圧の1つとして抵抗制御電圧と、高インピーダンス状態にすることにより前記可変入力抵抗をディスエーブルするために十分な大きさのバイアス電圧とを択一的に選択することを特徴とする請求項28記載の集積回路。

【請求項43】 前記出力制御回路により選択することができる第3スイッチ構成を有し、ここで、第1および第2出力の少なくとも1つにつながったスイッチ全ては、非伝導状態にあることを特徴とする請求項42記載の集積回路。

【請求項44】 第1電流バイアス基準回路部分および第1抵抗バイアス基準回路部分はそれぞれ、第1出力バッファ部分の動作特性と実質的に同じ動作特性を有し、第2電流バイアス基準回路部分および第2抵抗バイアス基準回路部分はそれぞれ、第2出力バッファ部分の動作特性と実質的に同じ動作特性を有し、第2可変入力抵抗は、第1可変入力抵抗の動作特性と実質的に同じ動作特性を有することを特徴とする請求項43記載の集積回路。

【請求項45】 それぞれが第1および第2端を有する第1および第2平衡型伝送線につながれた複数の請求項43記載の集積回路であって、ここで、前記回路のそれぞれは、第1伝送線につながれた第1出力および第2伝送線につながれた第2出力を有し、前記複数の集積回路

は、第1端において伝送線につながれた第1回路および第2端において伝送線につながれた第2回路を有することを特徴とする複数の集積回路。

【請求項46】 第1および第2回路における第1可変入力抵抗はイネーブルされ、前記複数の集積回路の他の全てにおける第1可変入力抵抗はディスエーブルされることを特徴とする請求項45記載の複数の集積回路。

【請求項47】 複数の電流ソースに対するバイアス電圧を生成し、かつ、2つのポイントにおいて制御電圧および電流を生成する電流バイアス回路において、

(A) 第1ノードにおいて供給電圧と基準抵抗の間に直列につながった第1電圧制御電流ソースと、

(B) 第2ノードにおいて接地と前記基準抵抗の間に直列につながった第1電圧制御電流シンクと、

(C) 第1基準電圧および第1ノードにつながれた入力を有し、第1電圧制御電流ソースにつながれた出力を有する第1帰還回路と、ここで、

第1帰還回路は、第1ノードにおける電圧が第1基準電圧に実質的に等しくなるように第1電圧制御電流ソースをバイアスし、

(D) 第2基準電圧および第2ノードにつながれた入力を有し、かつ、第1電圧制御電流シンクにつながれた出力を有する第2帰還回路とを有し、ここで、

第2帰還回路は、第2ノードにおける電圧が第2基準電圧と実質的に等しいように第1電圧制御電流シンクをバイアスすることを特徴とする電流バイアス回路。

【請求項48】 第2ノードおよび第1帰還回路の出力の間につながる少なくとも1つの第1キャパシタと、および第1ノードおよび第2帰還回路の出力の間につながる第2キャパシタとを有することを特徴とする請求項47記載の電流バイアス回路。

【請求項49】 第1および第2帰還回路は、オペアンプを有することを特徴とする請求項47記載の電流バイアス回路。

【請求項50】 請求項48記載の電流バイアス回路によりバイアスされる出力バッファ回路であって、

(E) 前記パワー供給と電流スイッチの間につながり、第1帰還回路の出力電圧により定められる電流のソースとなる出力電流ソースと、

(F) 前記電流スイッチと接地の間につながり、第2帰還回路の出力電圧により定められる電流のシンクとなる出力電流シンクとを有し、

前記電流スイッチを通して負荷が前記出力電流ソースおよび出力電流シンクにつながることを特徴とする出力バッファ回路。

【請求項51】 請求項47記載の電流バイアス回路によりバイアスされる能動抵抗制御回路において、

(G) 第3ノードにおいて前記電力供給と電圧制御抵抗の間に直列につながる第2電圧制御電流ソースと、こ

第2電流ソースは、第1帰還回路の出力電圧により定められる電流のソースとなり、

(H) 第4ノードにおいて接地と前記電圧制御抵抗の間に直列につながる第2電圧制御電流シンクと、ここで、第2電流シンクは、第2帰還回路の出力電圧により定められる電流のシンクとなり、

(I) 第1基準電圧および第3ノードにおける電圧につながる入力を有し、かつ、前記電圧制御抵抗につながる出力を有する第3帰還回路とを有し、ここで、第3帰還回路は、第3ノードにおける電圧が第1基準電圧と実質的に等しくなるように前記電圧制御抵抗をバイアスすることを特徴とする能動抵抗制御回路。

【請求項52】 第3帰還回路は、オペアンプを有することを特徴とする請求項51記載の能動抵抗制御回路。

【請求項53】 請求項51記載の能動抵抗制御回路によりバイアスされる入力バッファ回路であって、前記入力バッファは、第3帰還回路の出力電圧により定められる抵抗値を有する電圧制御入力抵抗を有することを特徴とする入力バッファ回路。

【請求項54】 請求項47記載の電流バイアス回路によりバイアスされる能動抵抗制御回路において、

(J) 第3ノードにおいて前記電流供給と電圧制御抵抗の間に直列につながる第2電圧制御電流ソースと、ここで、

第2電流ソースは、第1帰還回路の出力電圧に定められる電流のソースとなり、

(K) 第4ノードにおいて接地と前記電圧制御抵抗の間に直列につながる第2電圧制御電流シンクと、ここで、第2電流シンクは、第2帰還回路の出力電圧により定められる電流のシンクとなり、

(L) 第2基準電圧および第4ノードにおける電圧につながる入力を有し、前記電圧制御抵抗につながる出力を有する第3帰還回路とを有し、ここで、

第3帰還回路は、第4ノードにおける電圧が第2基準電圧と実質的に等しくなるように前記電圧制御抵抗をバイアスすることを特徴とする能動抵抗制御回路。

【請求項55】 第3帰還回路は、オペアンプを有することを特徴とする請求項54記載の能動抵抗制御回路。

【請求項56】 請求項54記載の能動抵抗制御回路によりバイアスされる入力バッファ回路であって、前記入力バッファは、第3帰還回路の出力電圧により定められる抵抗値を有する電圧制御入力抵抗を有することを特徴とする入力バッファ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリント回路基板上の集積デバイスの間で高速データ伝送を維持するI/Oインタフェース回路に関し、特に、オンチップ基準回路により適切な動作レベルにバイアスされた低電圧差分スウィング相互接続に関する。

【0002】

【従来の技術】今日の計算の分野では、コンピュータが効率的に動作するために処理速度を増加する需要がますます大きくなっている。例えば、現代のコンピュータの資源は、ユーザが流体力学や3Dグラフィックのような分野における物理的な問題を解くために精度を上げたり解像度を高くする場合に能力が飽和してしまう。

【0003】処理速度を上げる方法として、多くの数のプロセッサを共に用いる方法がある。このようなプロセッサの共同は、スケーラブルコヒーレントインタフェース(SCI)により提供される。このSCIは、プロセッサの間のバス類似トランザクション(読みとり、書き込み、ロック等)の機能を効率的に与える高速パケット転送プロトコルである。しかし、初期的な物理的実装は、エミッタ結合ロジック(ECL)信号レベルに基づき、これは低コストなワークステーション環境においては現実レベルよりも大きな電力を消費してしまう。また、ECLの仕様は、ワークステーション環境においては降下すぎる1Gバイト/秒の待機幅(16ビットデータバスにおいて)を必要としてしまう。

【0004】このような高コストなECL信号レベルの欠点を克服するため、十分な待機幅であるがECL信号レベルの広い待機幅よりも狭い待機幅のデータバスを用いることがコスト効率がいよとされている。高速伝送環境と効率的なプロトコルを組み合わせ、低コストなワークステーションにおいて協力させるために複数のプロセッサのリンクを与える。従って、IEEEコンピュータ学会(IEEE Computer Society)は、低電圧差分スウィング(LVDS:low voltage differential swing)標準を確立し、これは、ECL信号レベルプロトコルに変わるシグナリングである。このLVDSインタフェースは、IEEEによってドラフト標準において、Scalable Coherent Interface(SCI)LVDS, IEEE STANDARD, p. 159 6.3(1993年9月9日)として標準化された。

【0005】LVDSインタフェースは本質的に、平衡型相互接続環境(balanced interconnect environment)において電流シグナリングによりデータを送る平衡型I/Oバッファドライバである。I/Oバッファ回路は、回路基板上のパッケージ化デバイスの間や異なるバックプレーンの間の高速データ転送を維持するためにコンピュータにとって重要である。LVDS回路は通常、0.35μCMOS技術において700Mb/sを越えて動作し、ここで、50Ωの伝送線の平衡型対が100Ωのオンチップ抵抗の間につながる。出力バッファは、4mAの信号電流を与え、かつ、1.4から0ボルトのオンチップ入力抵抗をまたがっての電圧降下を発生させるようにバイアスされるべきである。従来のLVDS回路の欠点の1つとして、I/O回路の動作特性が温度と供給電圧の変化に伴ってシフトしてしまうことがある。また、異なるチップが同一の供給電圧を有し同じ本道で

11

あったとしても、異なるチップの間をつながつたバッファの動作特性は製造におけるばらつきのために変わってしまう。

【0006】

【発明が解決しようとする課題】本発明は、プリント回路基板上のパッケージデバイスの間や異なるバックプレーンの間の高速データ転送を維持するLVDS I/Oバッファを提供することを目的とする。

【0007】

【課題を解決するための手段】LVDS入力および出力バッファの動作点は、基準帰還回路により生成された電圧によりバイアスされ、出力バッファ電圧および電流、入力バッファインピーダンスがすべてのプロセス、電圧、温度条件に関わらず一定に保たれ、従って、転送データの電圧ロジックレベルもまた一定となるようにする。本発明に従って、基準回路は、1つの内部または外部基準抵抗 R_{EXT} と基準電圧 V_{HIGH} および V_{LOW} のみを用いて、チップ上のすべての入出力バッファに対してバイアス電圧を生成することができる。

【0008】

【発明の実施の形態】図1Aは、お互いつながった2つの概念的I/Oバッファ10、10'の図である。I/Oバッファ10、10'はそれぞれ、出力バッファ11、11'と入力バッファ12、12'を有する。データは出力バッファ11と伝送線14および16を通過して第1チップから出力され、入力バッファ12'により第2チップへと入力される。同様に、第2チップからのデータは伝送線14'、16'を通過して出力バッファ11'により出力され、入力バッファ12により第1チップへと入力される。代わりに出力バッファ11および入力バッファ12は図1Bに示すように伝送線14、16の同じ対を共有するように構成することもできる。この実施例では、I/Oバッファ10は入力または出力のモードと選択的になることができる。I/Oバッファ10'、10''、10'''は、同様に構成される。この方法により、多くのI/Oバッファが1つの共有インターフェイスを介してお互い通信することができる。

【0009】I/Oバッファ10の出力バッファ11および入力バッファ12は単一のICチップ上に構築される。I/Oバッファ10'の出力バッファ11'、入力バッファ12'は同様に単一のチップ上に構築され、これはI/Oバッファ10を含むものとは別であってもよい。出力バッファ11と入力バッファ12'は、2つのI/Oバッファ10、10'がお互いつながった時に作られる完全な入出力回路を説明するために議論する。この議論のため、I/Oバッファ10、10'は同一とし、入力バッファ12の説明は同様に入力バッファ12'を説明するものとする。

【0010】図2は、本発明の一実施例に従ったLVDS出力バッファ11および入力バッファ12および1

12

2'の理想的な回路図である。出力バッファ11は、電流ステアリング技術を用いて機能し、相互接続伝送線14、16へ/から同時にソースおよびシンクとして機能することができる。電圧ソース V_{DDQ} は電圧制御電流ソース20につながれ、これは並列スイッチA1、B1へとつながる。電圧制御電流シンク22は接地と並列接続スイッチB2、A2との間につながれ、これらはそれぞれ、直列にスイッチA1、B1へとつながる。スイッチA1、A2、B1、B2は、nチャネルMOSトランジスタによって製造することが好ましいが、CMOSやバイポーナ接合トランジスタのような他のデバイスによって製造することもできる。電圧制御電流ソース20と電圧制御電流シンク22のバイアス電圧 V_{SOURCE} および V_{SINK} は基準回路45により生成され、基準抵抗58と基準電圧 V_{HIGH} 、 V_{LOW} に従属している。基準抵抗58は、高精度デバイスであるべきで、外部コンポーネントでもよく、レーザトリミングのような精密製造技術によりチップ上に形成することができる。電圧 V_{HIGH} 、 V_{LOW} は、外部的または内部的いずれによって生成してもよい。所望ならば、電圧制御電流ソース20からの電流パスに利得制限抵抗21を配置してもよい。利得制限抵抗21は、回路のばらつきの感度を V_{DDQ} において減らす働きをし、能動（アクティブ）または受動（パッシブ）デバイスいずれにより形成してもよい。

【0011】入力バッファ12'は、能動抵抗18'および比較器19'を有する。第1相互接続伝送線14は、スイッチA1、B2の間のノード点24において出力バッファ11へとつながり、第2相互接続伝送線16は、スイッチB1、A2の間のノード点26においてつながっている。伝送線14、16は、能動抵抗18'をまたがるように入力バッファ12'へとつながっている。伝送線14、16を適切に終端するために、能動抵抗18'はおのおのの線のインピーダンスの約2倍の抵抗を有するべきである。典型的な値として、伝送線インピーダンスがそれぞれ50Ωであり、終端抵抗が100Ωである。入力バッファ12は同様に、電圧制御抵抗18を有する。入力バッファ12の抵抗18に対して示したバイアス電圧 V_{RES} は、電圧基準回路79により生成され V_{SOURCE} 、 V_{SINK} 、および2つの基準電圧（例えば、 V_{HIGH} ）の内の1つに従属する。

【0012】次に動作を説明する。スイッチA1、A2が閉じているとき、B1、B2は開き、逆も成り立つ。スイッチA1、A2が閉じているとき、電圧制御電流ソース20と電圧制御電流シンク22を流れる電流Iは、抵抗18'を通過して伝送線14を通り、図2の電流の矢印に示したように伝送線16へと逆に戻る。電流Iは、抵抗18'をまたがる電圧降下を発生し、この電圧降下は比較器19'により見知される。反対に、B1、B2が閉じているとき、電流Iは、図2の矢印とは逆の方向に抵抗18'を流れ、抵抗18'をまたがって上記電圧降

下とは逆の符号の電圧降下を発生させる。電流 I が方向を変えるので、比較器 19' は、電流 I が単にオンオフされた場合には、抵抗 18' をまたがって作られる $I R$ 降下の 2 倍のピークツーピーク電圧スイングを供給される。

【0013】抵抗 18' をまたがる電圧は、所定の V_{HIGH} から V_{LOW} へと降下するべきである。出力バッファ 11 は、従って、パッケージ化デバイスに影響するすべてのプロセス、電圧、温度条件にわたって V_{HIGH} と V_{LOW} の所定の値に従って抵抗 18' をまたがる電圧を制御する。 V_{HIGH} 1.4 ボルト、 V_{LOW} 1.0 ボルトに対しては、抵抗 18' をまたがる電圧降下は 0.4 ボルトであることが通常必要である。100 Ω の抵抗 18' に対しては、4 mA の電流が必要である。この標準に従って、出力バッファ 11 は、3.0 ~ 3.6 ボルトの間を変化する V_{DDQ} 、そして製造プロセスにおけるすべての予想される変化に対して、4 mA 電流および V_{HIGH} 1.4 ボルトから V_{LOW} 1.0 ボルトへの電圧降下を達成すべきである。LVDS 回路に対するこのような標準は、Draft Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), IEEE Draft 1.3 (1995 年 11 月 27 日) に記載されている。

【0014】上の解析は、伝送線において特徴的な $I R$ 損失がないことを仮定している。平衡型チップ間伝送線インタフェースは一般に、4 m Ω /フィート (?? 2 m Ω /m) のオーダーの抵抗損失を有する。100 フィート接続はこのように、4 mA の電流により駆動された場合に 16 mV の電圧降下となる。 $V_{HIGH}-V_{LOW}$ 小すぎないと仮定するとこの付加的電圧降下に行うことができる。

【0015】 I/O バッファ 10 が従来技術のシングルエンド型伝送技術よりもいくつかの利点があることは理解できるであろう。例えば、出力バッファにおける電流ステアリングは、発信側チェック上に生成された接地バウンスを最小化する。伝送線 14、16 上の信号の差分伝送は、共通モード電圧を共に搬送し、これにより、入力回路において基準電圧を必要とせずに動作が可能となる。また、 I/O バッファ 10 における電流の大きさがガリントランシーバロジック (GTL) のような従来技術のシングルエンド型回路における電流の 4 分の 1 であるので、消費電力を減らすことができる。最後に、 $I C$ 上のコア回路に加えられた供給電圧よりも低い供給電圧で回路を駆動することができ、さらに消費電力を減らすことができる。

【0016】図 3 A には、CMOS 技術において n チャネルのみを用いる図 2 に示した出力バッファ 11 の好ましい実施例を示す。スイッチ A1、A2、B1、B2 は、実質的に同一の幾何学的寸法を有するスイッチトランジスタ 27 ~ 30 により形成され、従って、同じ動作

特性を実質的に有する。電圧制御電流ソース 20 は、トランジスタ 38 により形成される。供給電流の大きさはゲートバイアス電圧 V_{SOURCE} に依存する。電圧制御電流シンク 22 はトランジスタ 40 により形成される。シンクする電流の大きさはゲートバイアス電圧 V_{SINK} に依存する。トランジスタ 38 を有するバイアス電圧 V_{SOURCE} が引火された電圧制御電流ソース 20 が広い範囲にわたって変移すれば、トランジスタ 38 は電流ソースではなくリニアデバイスとして振る舞うように偶然にバイアスされる場合がある。このことを防ぐため、トランジスタ 38 よりも小さい第 2 トランジスタをそれと並列に配置しバイアスし、それが常にインエーブル状態になるようにする (図示せず)。この構成は、トランジスタ 38 に加えられたバイアス電圧に依存して、2 つの並列の電流ソースあるいは電流ソースと並列な抵抗として振る舞う。トランジスタ 40 からなる電圧制御電流シンク 22 もまた同様に変更できる。

【0017】代わりに、トランジスタ 38、40 は p チャネルデバイスであってもよい (下の図 3 B の議論を参照)。 p チャネルまたは n チャネルの電流ソースまたは電流シンクのいずれを用いるかは、供給電圧と動作ポイントに大きく依存する。電圧 V_{SOURCE} および V_{SINK} は図 2 に示した基準回路 45 により調整され、トランジスタを通して流れる電流がデータが送られたときに抵抗 18' をまたがる電圧降下が適切な V_{HIGH} から V_{LOW} へと適切な電圧降下の結果を得る。 V_{SOURCE} と V_{SINK} の生成は下の図 4 A、図 4 B に関する議論において説明する。

【0018】また、図 3 A には理想的な位相スプリッタ 31 を示した。出力されるデータビットの値に対応する論理高または論理低信号が 36 を通って位相スプリッタ 31 へと提供される。次に、この信号は 2 つの信号 32、34 へと変換される。次に、この信号は 2 つの信号 32、34 へと変換され、これら信号はお互い 180° 位相がずれている。このように、位相スプリッタ 31 からの信号 34 は図 3 A の理想的な図に示すように信号 32 の逆論理値と有効にされている。ここで、位相スプリッタ 31 はチップ高電圧 V_{DD} において駆動されることに留意されたい。電圧 V_{DD} は V_{DDQ} 以上であり、これは回路が従うべき I/O 標準や他の設計上の履行により決まる。高電圧がデジタル値「1」を表すと仮定すると、千 36 上に「1」が入力されると、信号 32 は V_{DD} において駆動されるべきで、信号 34 は接地につながるべきである。「0」が入力されると、信号 32 は接地につながるべきで、信号 34 は V_{DD} へと駆動されるべきである。信号 32 はスイッチ A1、A2 を制御し、同時に信号 34 は、スイッチ B1、B2 を制御する。

【0019】従って例えば、出力バッファ 11 により論理値「1」が送られるのであれば、この値は位相スプリッタ 31 の入力 36 に供給され、この位相スプリッタ 31 は、線 32 を V_{DD} に駆動し線 34 を接地につなげる。

15

線 3 2 上の高電圧は、スイッチ A 1、A 2 を閉じる。線 3 4 上の低電圧はスイッチ B 1、B 2 を開く。このことは、矢印において示した方向におけるスイッチ A 1、A 2、伝送線 1 4、1 6、抵抗 1 8' を通る電流 I の流れを生む。もし論理値「0」が送られれば、線 3 2 は接地へと接続され、線 3 4 は V_{DD} に駆動される。スイッチ B 1、B 2 は閉じ、スイッチ A 1、A 2 は開き、これは論理値「1」が送られた場合とは反対の方向で抵抗 1 8' をまたがる電流の流れを生む。

【0020】図 3 B は、CMOS 技術を用いる図 2 の出力バッファ 1 1 の大体実施例を示す。図 3 B はスイッチングトランジスタ 2 7、2 9 (A 1、B 1) が n チャネルではなく p チャネルトランジスタであり、利得制限抵抗 2 1 が分割 (スプリット) され抵抗 2 1'、2 1'' としてそれぞれトランジスタ 2 7、2 9 の後に配置されていること以外は図 3 A と同様である。この回路は図 3 A の回路と同様に機能する。しかし、この実施例においては信号 3 4 はスイッチ A 1、B 2 を制御しドライブ線 3 2 はスイッチ A 1、B 2 を制御することに留意されたい。またこの大体実施例は、電流ソース 2 0 を形成するのに用いる p チャネルトランジスタ 3 8 を示している。上述したように、すべての予想されるバイアス電圧において適切に電流ソース 2 0 が機能することを確実にするため、トランジスタ 3 8 と並列に第 2 トランジスタを配置することが必要な場合もある。

【0021】図 3 C には、図 2 に示した入力バッファ 1 2 の好ましい実施例を示す。ここでは、オンチップ電圧制御能動抵抗 1 8 は、並列につながれゲート電圧 V_{RES} にバイアスされた n チャネル MOS トランジスタ 4 2、4 4 を有する。トランジスタ 4 2、4 4 は抵抗が V_{RES} に逆関係に依存するような能動抵抗を作る。 V_{RES} 上述のように伝送線 1 4'、1 6' の特性インピーダンスに基づく適切な終端抵抗を与えるように設定される。伝送線 1 4'、1 6' は通常、それぞれ 50 Ω の特性インピーダンスを有し、従って V_{RES} は 100 Ω のトランジスタ 4 2、4 4 における槽直列抵抗を発生するように調整されるべきである。 V_{RES} の生成は下の図 5 を参照して説明する。キャパシタ 4 1 はノード 4 3 におけるトランジスタ 4 2、4 4 と接地の間につながれる。キャパシタ 4 1 は共通モード信号に対して AC 接地を与えるように働き、これは相互接続 1 4'、1 6' において誘導されてしまうこともある。またキャパシタ 4 1 は相互接続 1 4'、1 6' における意図した差分モード信号に対する AC 接地として働く。

【0022】図 3 A ~ 3 C に関して説明したように、出力バッファ 1 1、入力バッファ 1 2 の動作ポイントは図 4 A、4 B、5 に示した基準回路 4 5、7 9 が生成したバイアス電圧 V_{SOURCE} 、 V_{SINK} 、 V_{RES} に依存する。本発明の重要な目的とした、適切な電流の流れを維持してデータが送られるとき抵抗 1 8' をまたがる電圧降下が

16

V_{HIGH} から V_{LOW} までであることを確実にしながら、広い範囲の動作パラメータに渡ってこれらの電圧を動的に調整することである。その適切なバイアス電圧は、理想的には同じ IC 上の同じ寸法のトランジスタが本質的に同じ動作特性を有するという事実を利用して生成される。1 つの IC 上のすべてのコンポーネントは製造時には同じ条件で製造され、2 次的影響を無視すると、同じ温度で動作し同じ供給電圧で動作する。従って、これら 3 つのパラメータの変移を考えなければ、与えられたバイアス電圧の回路に対する動作ポイントが知られているとすれば、同じトランジスタ幾何学質でこれらのバイアス電圧を対応する回路へと加えることは同じ動作ポイントへと対応する回路をバイアスすることとなる。

【0023】基準電圧 V_{SOURCE} 、 V_{SINK} 、 V_{RES} は、2 つの基準回路 4 5、7 9 (図 2) により生成される。基準電圧 V_{HIGH} および V_{LOW} 、基準抵抗 R_{EXT} を用いることによって、第 1 基準回路 4 5 におけるトランジスタゲートバイアス電圧は電流 $I = (V_{HIGH} - V_{LOW}) / R_{EXT}$ を指示するように動的に調整される。帰還生成されたバイアス電圧は次に、第 2 基準回路 7 9 へと加えられる。これは第 1 基準回路と同様であるが基準抵抗は電圧制御能動抵抗へと置き換わっている。第 2 基準回路のコンポーネントは第 1 基準回路のものと同じ動作特性を有し、バイアスされたトランジスタが同じ電流 $I = (V_{HIGH} - V_{LOW}) / R_{EXT}$ を指示することを試みるようにされる。従って、能動抵抗のバイアス電圧がそれをまたがる電圧降下が V_{HIGH} から V_{LOW} であるように調整されれば、能動抵抗は値 R_{EXT} を持たなければならない。次に、これらのバイアス電圧を持ちいて、同じチップの I/O バッファ 1 0 すべてが入力抵抗 R_{EXT} を有し、かつ、出力伝送線を電流 $I = (V_{HIGH} - V_{LOW}) / R_{EXT}$ において駆動することを確実にする。この方法により、I/O バッファ 1 0 は温度および供給電圧におけるばらつきを相殺するように動的に調整することができる。

【0024】図 4 A には、電圧基準回路 4 5 の概略図を示してあり、これは帰還回路なしで図 3 A に示した出力バッファ 1 1 に対する V_{SOURCE} および V_{SINK} を動的に生成する。完全な回路を図 4 B に示す。図 4 A において、基準回路 4 5 は n チャネル MOS トランジスタ 6 0、6 2 を含みこれは V_{DDQ} からノード 5 4 へと直列でつながっており、ノード 5 6 から接地へと直列につながっている n チャネル MOS トランジスタ 6 4、6 6 も含む。また、図 3 に示すように利得制限抵抗 2 1 が出力バッファ 1 1 に含まれていれば、対応する抵抗 6 1 は示したように電流パスに含まれるべきである。抵抗 R_{EXT} を有する基準抵抗 5 8 はノード 5 4 および 5 6 の間につながっている。基準抵抗 5 8 は高精度外部コンポーネントであることができ、あるいはレーザトリミング技術等によりチップ上に形成してもよい。4 つのトランジスタすべてがバイアスされていると想定すると、 V_{DDQ} から外部の抵

抗 58 を通って接地へと電流が流れる。これは電流の矢印 I により示してある。

【0025】図 4A と図 3A を比べると、図 4A の回路の一部は、電流スイッチを通る導電パスのみを含む図 3A の出力バッファ 11 の簡易板に対応することがわかる。図 4A のトランジスタ 62、64 は、図 3A からの閉じたスイッチ A1、A2 または B1、B2 を示してあり、同じ幾何学寸法を有する。これら 2 つのスイッチの対が実質的に同一なのでその選択はあまり重要ではない。

【0026】図 4A のトランジスタ 60 は、図 3A の電流ソーストランジスタ 38 に対応する。同様に、トランジスタ 66 は電流シンクトランジスタ 40 に対応する。従って、図 4A に示した電流 I の大きさは、上述のように図 3A に示した電流 I がバイアス電圧 V_{SOURCE} および V_{SINK} に依存するのと同様に、ノード 72 におけるトランジスタ 60 およびノード 78 においてトランジスタ 66 に加えられたゲートバイアス電圧に依存する。基準抵抗 58 は、抵抗 $18'$ に対応し、出力伝送線 14、16 の予測される特性インピーダンスの 2 倍である抵抗 R_{EXT} を有する。(もし電力の節約が重要な問題であれば、トランジスタ 60、62、64、66 の幅は、 R_{EXT} の抵抗および抵抗 61 がその同じ係数でスケールダウンすることができる。例えば、もしデバイスの幅が係数 10 で減少し、抵抗が係数 10 で増加すれば、電圧動作ポイントは同じにとどまるが回路は 10 分の 1 の電力しか消費しないこととなる。)

【0027】ノード 72 および 78、 V_{SOURCE} および V_{SINK} それぞれにおけるバイアス電圧は、電流 I が外部抵抗 58 をまたがって V_{HIGH} から V_{LOW} への電圧降下を作るように独立して調整される。対応する電流ソースおよびシンクトランジスタ 38、40 (図 3A) がこれらの調整された電圧へとバイアスされたときに回路が出力バッファ 11 と同じ動作特性を有するように基準回路コンポーネントが選択されるので、基準回路コンポーネントは同じ大きさの電流 I を駆動するように試みる。もし抵抗 $18'$ が R_{EXT} の抵抗を有すれば、この電流はそれをまたがる必要とされる V_{HIGH} から V_{LOW} への電圧降下を生ずる。

【0028】図 4B は、適切な V_{SOURCE} および V_{SINK} 電圧を設定する帰還比較器 46、48 を示す図 4A の回路である。この回路は本質的に、外部基準抵抗をまたがって平衡型構成でつながった 2 つの電圧/電流 (電圧から電流への) 変換器である。基準電圧 V_{HIGH} が比較器 46 の非逆 (non-inverting) 入力に加えられる。ノード 54 における基準抵抗 58 上の電圧は、帰還比較器 46 の逆入力へと加えられる。ノード 54 における電圧が V_{HIGH} よりも大きければ、ノード 72 における比較器出力電圧 V_{SOURCE} は減少し、トランジスタ 60 を通っての電流を降下させ、従って、ノード 54 における電圧をそれ

が V_{HIGH} と等しくなるまで低くする。ノード 54 における電圧が V_{HIGH} よりも低ければ、比較器の出力電圧は減少し、電流、そしてノード 54 における電圧を減少させる。ステディ状態では、ノード 54 における電圧は V_{HIGH} と等しくなる。同様に、 V_{LOW} が比較器 48 の逆入力へと加えられ、ノード 56 における外部抵抗 58 上の電圧は非逆入力へと加えられる。ノード 78 における比較器 48 の出力 V_{SINK} は、ノード 56 の電圧が V_{LOW} と等しくなるまで電流を調整するように減少あるいは増加する。従って電流 I は、 $I = (V_{HIGH} - V_{LOW}) / R_{EXT}$ にセットされる。 $V_{HIGH} = 1.4$ ボルト、 $V_{LOW} = 1.0$ ボルト、 $R = 100 \Omega$ に対する典型的な電流 I の値は、4 mA である。電圧 V_{SOURCE} および V_{SINK} は、統一的に利得され (unity gained)、IC 上に存在するすべての出力バッファ 11 に加え、これらを適切な動作ポイントへとバイアスする。

【0029】キャパシタ 70 は、ノード 78 (V_{SINK}) およびノード 74 の間につながっている。キャパシタ 70 は、超過電流ソースまたはシンクとして機能することにより基準回路において安定性を与え、雑音により起こる電流および電圧のばらつきを相殺する。例えば、I が $I + \Delta I$ へと増加すれば (ここで、 ΔI は雑音あるいは他の阻害因子)、ノード 54、56 における電圧は従って増加および減少する。帰還ループは、ノード 78 における電圧をノード 56 上の電圧とともに減少させる。しかし、ノード 54 (従って、ノード 74 も) の電圧が増加するので、キャパシタ 70 は、この増加を帰還し、初期の減少をキャンセルする。このように、このキャパシタは回路を安定化する。

【0030】図 3B の別の実施例の基準回路 45' を図 4C に示す。62 は、p チャネルデバイスであり、接地へとバイアスされている。ノード 72 (V_{SOURCE}) とノード 76 の間にはさらなる安定化キャパシタ 68 が加えられている。キャパシタ 68 は、キャパシタ 70 と同様に機能する。この実施例において、抵抗 61 は、図 3B に示した利得制限抵抗 $21'$ に対応する。さらに、電流ソース 60 もまた p チャネルデバイスであり、従って帰還比較器 46 への逆および非逆入力とは逆転されるべきである。ここで、基準回路のデバイスと I/O バッファの間に同等性がある限り、バイアスおよび比較器の極性が対応するように調整されていれば、n チャネルと p チャネルデバイスはいずれの組み合わせも用いることができる。

【0031】図 5 は、出力バッファ 11 に対する V_{RES} を動的に生成する電圧基準回路 79 の概略図である。図 3C に示すように、 V_{RES} は、トランジスタ 42、44 からなる能動抵抗 18 をまたがって抵抗をセットする。従って V_{RES} は、能動抵抗が入力伝送線 14'、16' の予測インピーダンスの 2 倍であるように調整されなければならない。同様に、 V_{RES} は、能動抵抗が R_{EXT} と等し

いようにセットされなければならない。このことはR_{EXT}を能動抵抗R_{ACTIVE}に置き換えることをのぞいて、第1基準回路（すなわち、出力バッファ11のような）として構成する電流ソース、電流シンクおよび電導スイッチ要素を基準回路と共に用いることによって達成される。

【0032】トランジスタ80、82および抵抗81は、V_{DDQ}およびノード96の間に直列につながり、直列のトランジスタ88、90は、ノード98と接地の間につながる。もし利得制限抵抗21が出力バッファ11に含まれていれば、対応する抵抗81は示したように電流パスに含まれるべきである。トランジスタ80、82、88、90は、それぞれゲート電圧V_{SOURCE}、V_{DD}、V_{DDQ}、V_{SINK}にバイアスされる（図4Bと同様）。これらの基準回路トランジスタはすべて、図3に示した出力バッファ11における対応する要素と同じ幾何学的寸法を有する。図3Bの別の実施例を用いると、図4Cの同様な回路の部分と同様に、図5のトランジスタ80、82は、pチャネルデバイスであるべきであり、トランジスタ82は接地へとバイアスされるべきである。能動抵抗はトランジスタ84、86からなり、ノード96、98の間につながる。トランジスタ84、86は図3Cに示すように能動入力抵抗18を形成する対応するトランジスタ42、44と同じ幾何学的寸法を有する。ここで、能動抵抗はコッテージV_{HIGH}およびV_{LOW}の実際の値に依存してnチャネルまたはpチャネルのデバイスを用いて形成することができることに留意されたい。

【0033】電流Iは、V_{DDQ}から接地へと流れ、能動抵抗をまたがる電圧降下V = I * R_{ACTIVE}を生成する。上の回路コンポーネントの間の同等性のため、V_{SOURCE}およびV_{SINK}がトランジスタ80および90に加えられれば、これらトランジスタは、図4Bの基準回路45に存在する同じステディ状態電流I = (V_{HIGH} - V_{LOW}) / R_{EXT}に等しい電流をサポートするように試みる。ノード96における電圧は、比較器92によりV_{HIGH}と比較される。この比較器92の出力V_{RES}は能動抵抗を制御する。帰還ループはノード96における電圧がV_{HIGH}となるまで抵抗を調整する。これら回路コンポーネントおよび基準回路45におけるコンポーネントが上述のように同等であるので、ノード96における電圧がV_{HIGH}と等しければ、V_{DDQ}からノード96への電流Iは基準回路45におけるもの（すなわち、(V_{HIGH} - V_{LOW}) / R_{EXT}）と同じであり、ノード98における電圧はV_{LOW}である。従って、V_{RES}がセットした能動抵抗R_{ACTIVE}は、(V_{HIGH} - V_{LOW}) / I = R_{EXT}でなければならない。制御電圧V_{RES}はバッファされ、全ての入力バッファ能動抵抗18（図3C）の抵抗をR_{EXT}と等しくセットするのに用いられる。キャパシタ94はノード100と接地の間につながり、ノード100がゲートにつ

ながりソースおよびドレインの両方が接地につながるようにnチャネルトランジスタにより形成される。キャパシタ94は図3Cのキャパシタ41と同じレイアウト寸法を有し、図5の回路において複製され、この抵抗が用いられる全ての場合において局所的なトポグラフィ的（地形図的）条件が同じであることを保証する。

【0034】トランジスタ80、90がV_{SOURCE}、V_{SINK}にバイアスされたときに、V_{HIGH} = 1.4ボルト、V_{LOW} = 1.0ボルト、R_{EXT} = 100Ωの典型的な値として、これらの値は4mAの電流をサポートするように試みる。比較器92はノード96における電圧が1.4ボルトのV_{HIGH}と等しくなるまで電圧V_{RES}を調整する。ノード98における電圧は1.0ボルトのV_{LOW}に自動的にセットされる。なぜなら、印加電流ソースを生成しバイアス電圧V_{SOURCE}およびV_{SINK}をシンクするのに用いた回路要素と同等性があるからである。従って、能動抵抗は1.4 ~ 1.0ボルトの電圧降下、4mAの電流を有し、従って、V_{RES}は100ΩにR_{ACTIVE}をセットする。入力抵抗18（図3Cを有する）トランジスタ42、44にV_{RES}を印加すると、100Ωの所望の入力抵抗を作る。

【0035】図6は、抵抗18'に並列に伝送線14、16をまたがってつながった能動オンチップ抵抗101をさらに有する図2に示した出力バッファ11の概略図である。能動抵抗101は、直列トランジスタ102、104を有し、これらの間にはノード108において接地へとキャパシタ106がつながっている。トランジスタ102、104は、上述の能動抵抗と実質的に同じ幾何学寸法を有する。従って、トランジスタ102、104のゲートがV_{RES}にバイアスされれば、能動抵抗101はR_{EXT}の抵抗を有する。この付加的な抵抗は、伝送線14、16に導入された信号を吸収し、出力バッファ11へと流れ戻り、また、出力バッファ11と伝送線14、16が適切に平衡されることを確実にすることにより、出力バッファ11の伝送線14、16への整合特性を改善する。この実施例において、平衡型伝送線14、16の両端は抵抗により愁嘆され、従って出力バッファ11は抵抗18'をまたがる適切なV_{HIGH}からV_{LOW}への電圧降下を維持するために2倍の電流を提供しなければならない。このことは、電流ソースの幅およびドライブ回路におけるスイッチトランジスタ（すなわち、スイッチトランジスタ27 ~ 30および電流ソース/シンクトランジスタ38、40）を2倍することにより達成することができる。代わりに、このことは、お互い並列で動作する2つの同一な回路であっておののに必要な電流の半分を供給するようなものを出力バッファに与えるように出力バッファを複製することにより行うことができる。キャパシタ106は、AC接地として機能でき、ゲートがノード108につながりソースとドレインの両方が接地につながるようなnチャネルトランジスタにより

形成することができる。

【0036】図7は、能動抵抗18および比較器19の間に位置する内部1ビットRAMセル110をさらに有する図3Cに示した入力バッファ12の概略図である。入力バッファ12のRAMセル110は、伝送線14'および16'が能動的に駆動されていないときに比較器19の出力が発信することを防ぐ履歴を提供する。RAMセル110は、図3Aの出力バッファ11と同様な回路構成を用いて形成し、このメモリセルが出力バッファが生成した電圧レベルと同じ電圧レベルに電圧スイングを制限する。pチャネルデバイスを有する同様な回路もまた、上述のpチャネルの実施例と同様に作ることができる。RAMセル110のコンポーネントの大きさは、出力バッファ11における対応するデバイスの大きさよりも小さくすることができる。これは、RAMセル110は出力伝送線14'、16'に電流を供給する必要が無いからである。

【0037】図8、9には、I/Oバッファ10の別の実施例を示してある。この実施例は、回路が3つの状態が可能となる(tristatable)イネーブル手段およびディスエーブル手段を有することにより接続ワイヤの1つの対を複数のI/Oバッファが共有することを可能にする。図8は、データ出力イネーブル回路200をさらに有する出力バッファ11および抵抗イネーブル回路202をさらに有する能動オンチップ出力抵抗101を示している。

【0038】データ出力イネーブル回路200は、データ出力イネーブル信号DOENBにより制御され、DOENBによりイネーブルされたときに信号32、34を渡しディスエーブルされたときに非伝導状態のスイッチトランジスタ27~29をバイアスするゲート204、206からなる。これらのゲートは、図8Aに示したようなANDゲートやイネーブル機能を行う他の回路であってもよい。また用いるイネーブル回路に依存して、DOENBはアクティブ高またはアクティブ低であってもよい。さらに、もしインバートゲートを用いる場合、位相スプリッタ31の極性は、例えば、信号32の接続を信号34へとスイッチすることにより、反転しなければならない場合もある。高速動作のためにお互い独立にエッジが調整できることを確実にするために各スイッチに対して1つずつの4つのゲートを用いることができる(図示せず)。

【0039】抵抗イネーブル回路202は、VRESまたは接地のいずれかに能動抵抗101のトランジスタ102、104をバイアスする抵抗イネーブル信号RENBにより制御されるスイッチング回路である。一実施例において、抵抗イネーブル回路200は伝送ゲート210および212を駆動するインバート208からなる。RENBがアクティブであれば、伝送ゲート210は伝導状態であり、212は非伝導状態であり、VRESは能動抵

抗101へと印加される。RENBがアクティブでなければ、伝送ゲート210は非伝導状態で212はオン状態であり、従ってトランジスタ102、104を接地にバイアスしこれらを非伝導状態にし、約100Ωではなく高い抵抗を作る。

【0040】図9は、図8に示した出力バッファ11および図1Bに一般的に示した同じ伝送線の対14、16につながった入力バッファ12の回路図である。この構成において、スイッチ回路202が制御する抵抗101は、図6に示した出力抵抗または図2、3Cに示した入力抵抗のいずれかとして機能することができる。データ出力イネーブル回路200からスイッチA1、A2、B1、B2の間の接続およびバイアス電圧は図の簡明さのために示していない。入力比較器19は伝送線14、16にまたがって生成された電圧を検出するものとして認識することができる。もしI/Oバッファ10が送信データであればスイッチA1、A2、B1、B2はイネーブルされる。もしI/Oバッファ10が受信データのみであればこれらスイッチはディスエーブルすることができる。能動抵抗101は伝送線14、16に対して終端抵抗を与えることが必要であればイネーブルされるべきである。

【0041】図10は、図9と同じように4つのI/Oバッファ300、302、304、306を示し、それぞれ入力バッファ330、332、334、336および出力バッファ340、342、344、346を示している。I/Oバッファ300~306は、図1Bに示すようなバス構成である。これらバッファは伝送線14、16の単一の対によりつながり、これらのおおの

は、電圧制御抵抗310、312、314、316およびイネーブルスイッチ318、320、322、324をそれぞれ上の図8、9に関して説明したように有する。伝送線14、16に送信されるデータは入力バッファ330、334、336、338の全てにより検出される。各バッファは別々のICに位置することができ、この構成は4つのI/Oバッファに制限されない。

【0042】I/Oバッファ300、306は、終端がイントにおいて伝送線14、16につながっている。適切な終端抵抗を与えるため、I/Oバッファ300、306における抵抗310、316は、示したようにスイッチ318、324をイネーブルすることにより伝送線14、16をまたがってつながっている。I/Oバッファ302、304における抵抗312、314は、電流が伝送線14、16から持ってこなくていいようにリセーブルされる。

【0043】出力バッファ340、342、344、345は、これらがデータを送信または受信しているかに従ってイネーブルまたはディスエーブルされる。例えば、I/Oバッファ300における出力バッファ340

がイネーブルされ、バス上にデータ信号を駆動すると想

定する。電流の半分が抵抗 310 を通って流れ、他の半分は抵抗 316 を通って流れる。出力バッファ 342、344、346 と共に抵抗 312、314 は全て、これらが電流を流さないでリセーブル状態にされる。抵抗 310、316 をまたがった電圧降下は、上述のように、基準電圧 V_{HIGH} および V_{LOW} に基づく基準回路がセットしたバイアス電圧 V_{SOURCE} 、 V_{SINK} 、 V_{RES} および外部基準抵抗 R_{EXT} に従って適 V_{HIGH} から V_{LOW} への電圧降下となる。この電圧降下は、入力バッファ 330、332、334、336 により検出される。データがバッファ 302 により送られると、342 はイネーブルされ出力バッファ 340、344、346 はディスエーブルされる。ソース電流の半分は右に抵抗 316 を通って流れ、他の半分は左に抵抗 310 を通って流れる。ここで、抵抗 310、312、314、316 に対するイネーブル/ディスエーブルされた構成を変える必要がないことに留意されたい。この構成はスタートアップ時にセットできる。

【0044】

【発明の効果】以上述べたように、本発明によって、プリント回路基板上のパッケージデバイスの間や異なるバックプレーンの間の高速データ転送を維持する LVDS I/O バッファを提供できた。

【図面の簡単な説明】

【図 1】(A) 異なるチップに位置しお互いつながった概念的な 2 つの I/O バッファを示すブロック図である。

(B) バス構成においてつながった概念的な 4 つの I/O バッファのブロック図である。

【図 2】本発明の LVDS I/O バッファの理想的な回路図である。

【図 3】(A) 図 2 の LVDS I/O バッファの出力バッファ部分の一実施例の概略回路図である。

(B) 図 3 A の出力バッファの別実施例の概略回路図である。

(C) 図 2 の LVDS I/O バッファの入力バッファ部分の一実施例の概略回路図である。

【図 4】(A) 図 3 A の LVDS 出力バッファの電圧基準回路の部分である。

(B) 図 3 A の LVDS 出力バッファの完全な電圧基準回路の図である。

(C) 図 3 B に示した出力バッファの別の実施例の電圧基準回路である。

【図 5】オンチップ能動抵抗に対する電圧基準回路である。

【図 6】出力端子の間にオンチップ抵抗を有する図 2 の LVDS I/O の出力バッファ部分の概略回路図である。

【図 7】内部 RAM セルを有する図 3 C の LVDS I/O の入力バッファ部分の概略回路図である。

【図 8】出力バッファおよび出力抵抗イネーブル手段を有する図 3 A および 3 C に示した入出力バッファの回路図である。

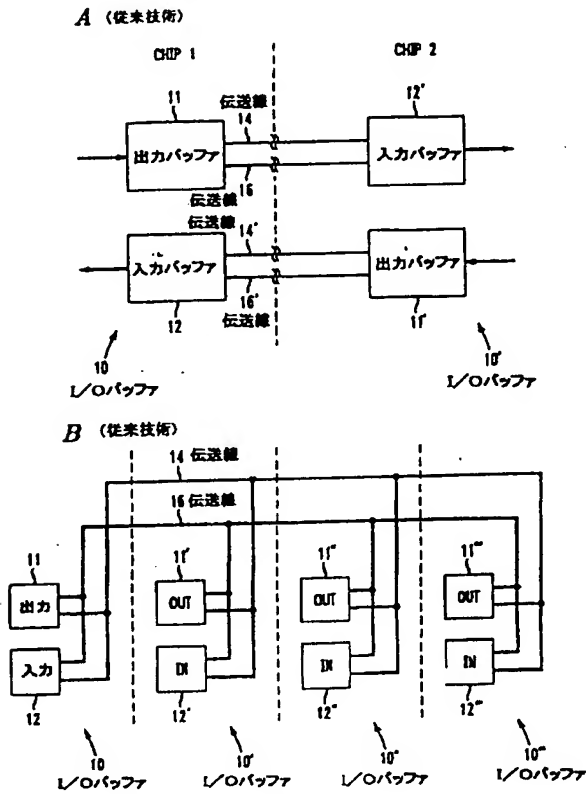
【図 9】1 つのデータバスに並列につながった入力バッファと出力バッファの回路図である。

【図 10】図 1 B に示したように共通バスにつながった図 9 にあるような 4 つの I/O バッファの回路図である。

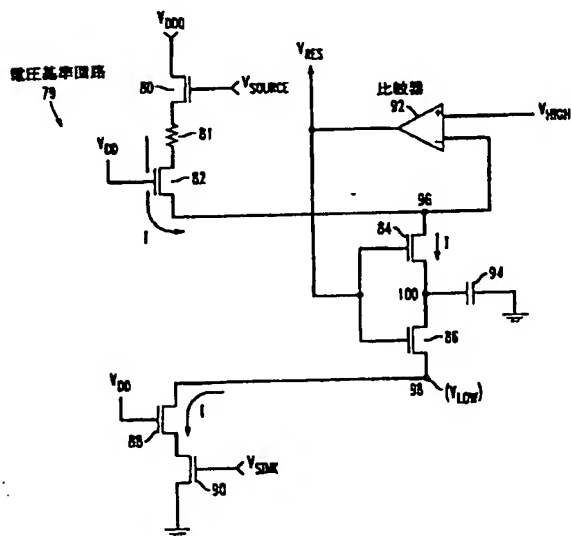
【符号の説明】

- 10 I/O バッファ
- 11 出力バッファ
- 12 入力バッファ
- 14、16 伝送線
- 18 能動抵抗
- 19 比較器
- 20 電圧制御電流ソース
- 21 利得制限抵抗
- 22 電圧制御電流シンク
- 24、26 ノード点
- 20 27~30 スイッチトランジスタ
- 31 位相スプリッタ
- 32 ドライブ線
- 34 スイッチング信号
- 38、40 pチャネルトランジスタ
- 42、44 nチャネルトランジスタ
- 41 キャパシタ
- 43 ノード
- 45 基準回路
- 46、48 帰還比較器
- 30 54、56 ノード
- 58 基準抵抗
- 60、62、64、66 トランジスタ
- 61、81 抵抗
- 68、70 キャパシタ
- 72、78、96、108 ノード
- 79 電圧基準回路
- 80、82、84、86、88、90 トランジスタ
- 92 比較器
- 94、106 キャパシタ
- 40 101 能動抵抗
- 102、104、212 トランジスタ
- 110 RAMセル
- 200 データ出力イネーブル回路
- 202 スイッチ回路
- 204、206 ゲート
- 208 インバータ
- 210 伝送ゲート
- 300~306 I/O バッファ
- 310~316 電圧制御抵抗
- 50 318~324 スイッチ

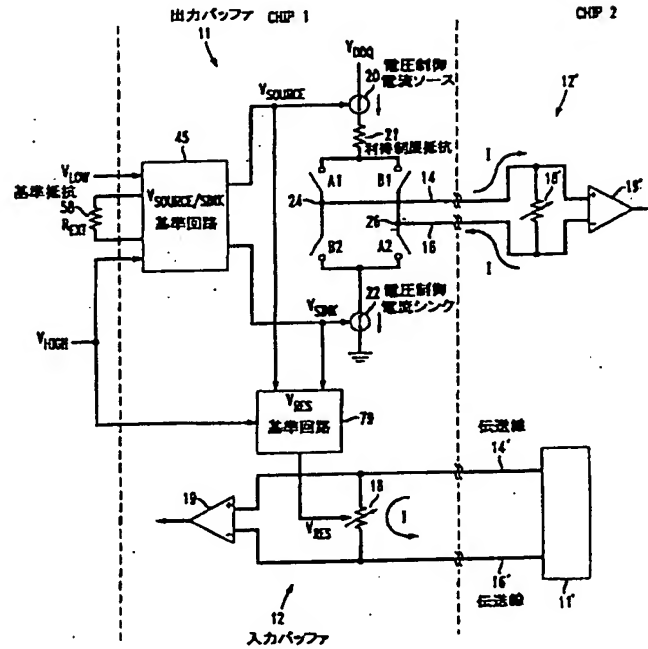
【図1】



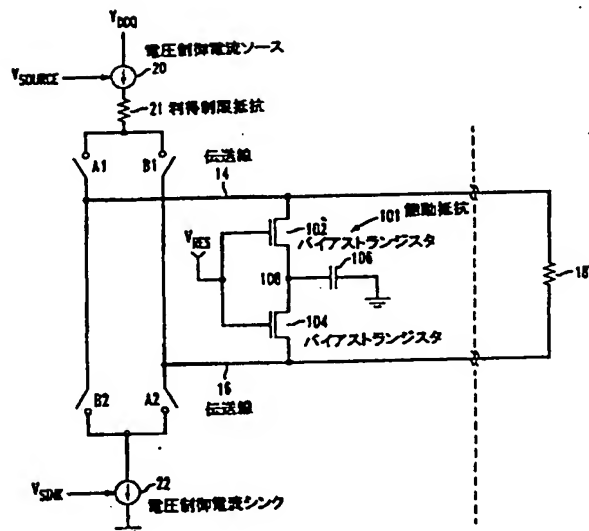
【図5】



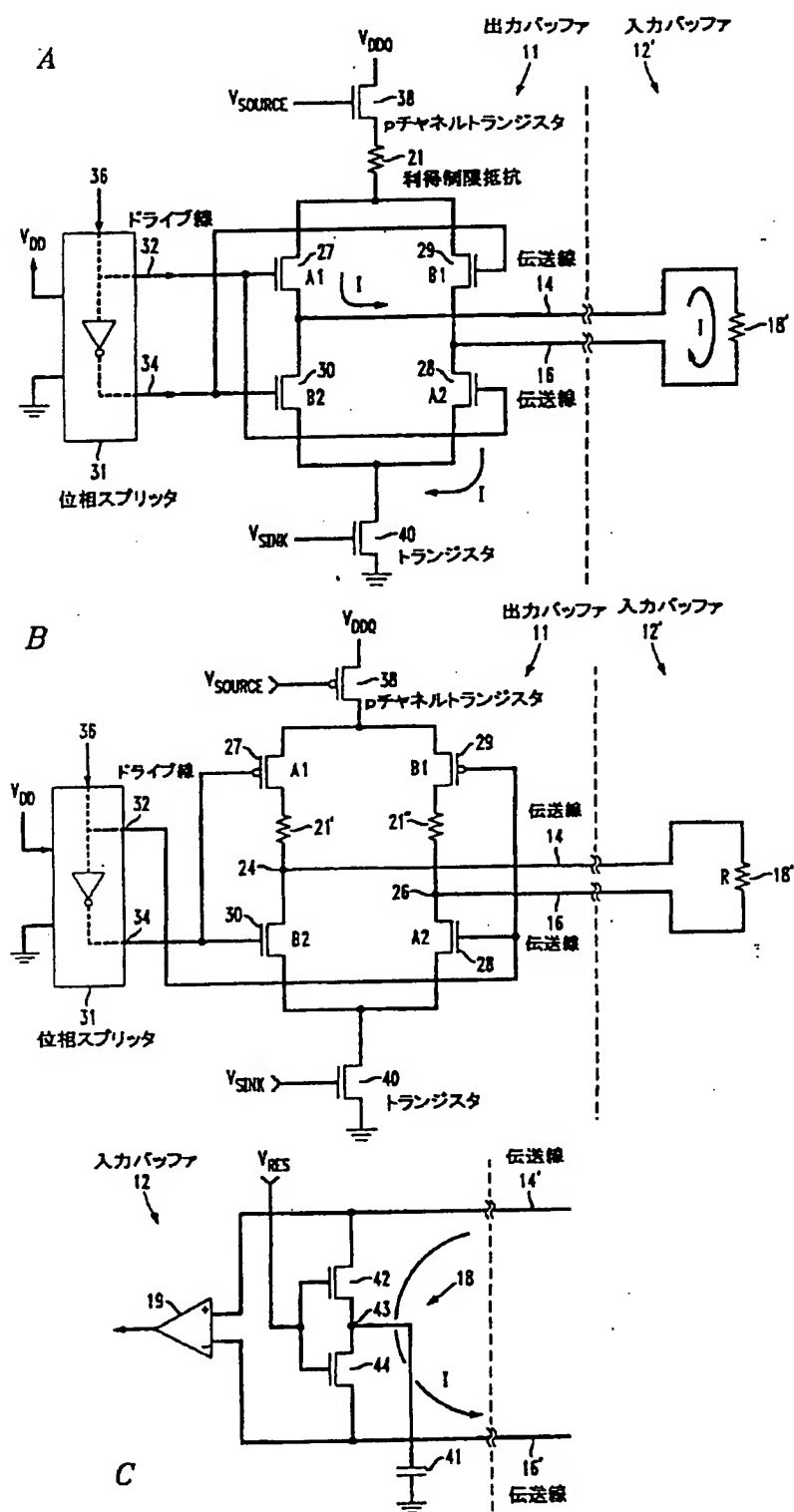
【図2】



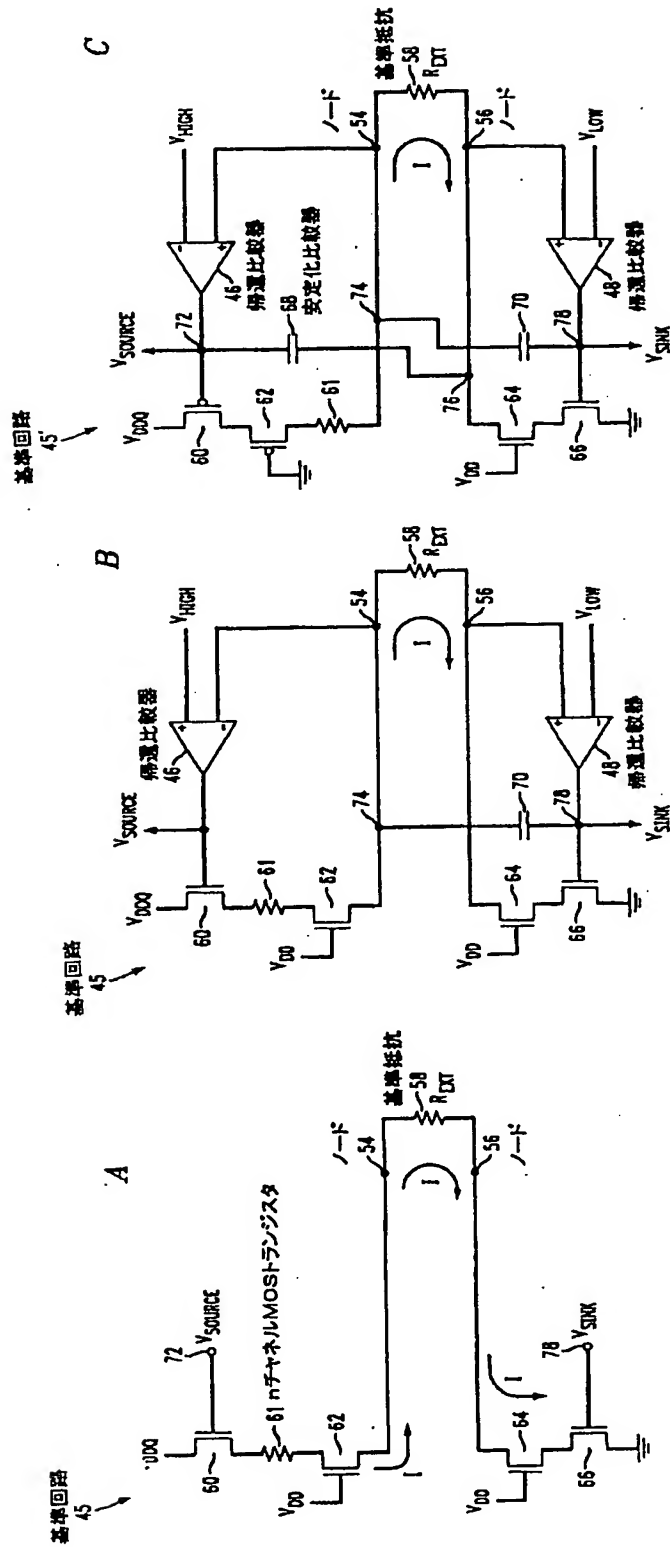
【図6】



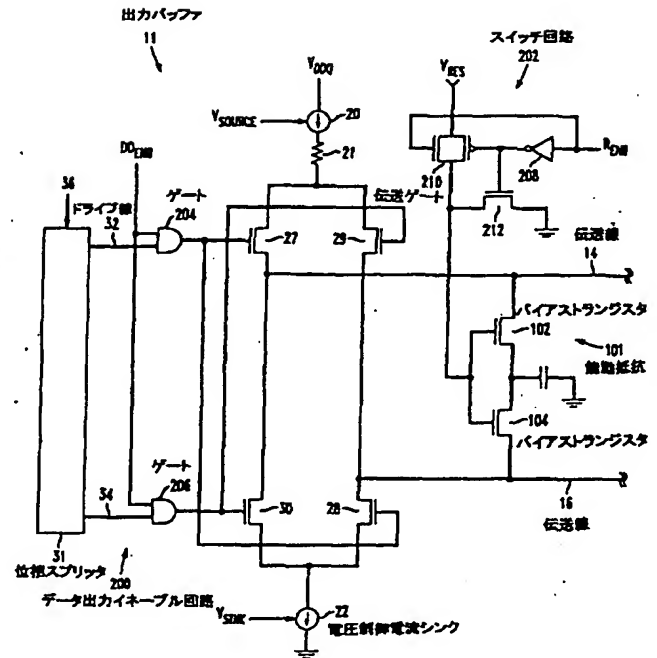
【図 3】



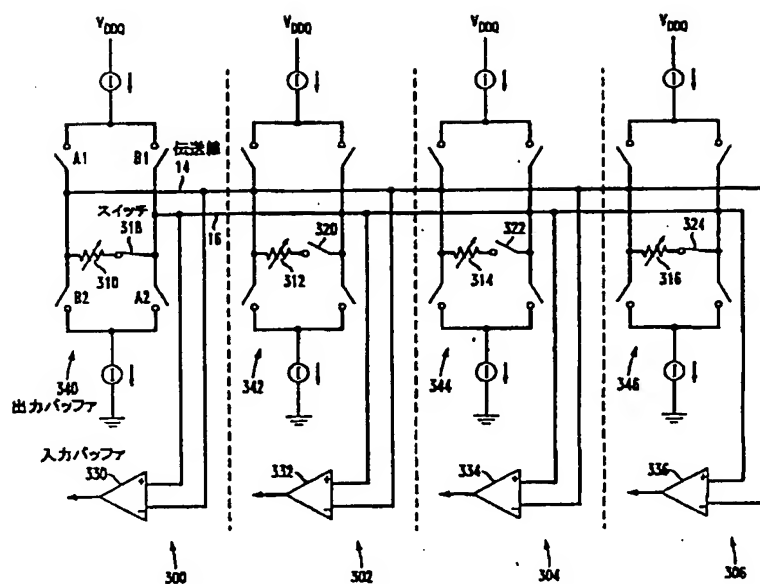
【図 4】



【图 8】



【☒ 10】



フロントページの続き

(71) 出願人 596077259

600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636U. S. A.

【外国語明細書】

1. Title of Invention

Integrated Circuit:

2. Claims

--

Claims:

1. An integrated circuit that includes a low voltage differential swing interconnect buffer and biasing circuit for data transmission over first and second balanced transmission lines having a terminating resistor of a first resistance; said
5 integrated circuit connected to a reference resistance;
said interconnect buffer and biasing circuit comprising:
an output buffer connected to said transmission lines and comprising a first voltage controlled current source having a first bias voltage and being connected to a first supply voltage, a first voltage controlled current sink having a second bias
0 voltage and being connected to ground, and a current switch being connected in series between said first voltage controlled current source and said first voltage controlled current sink, said current switch controlling the direction of current flow from said output buffer and through said first and second balanced transmission lines and terminating resistor;
- 5 an input buffer comprising a first voltage controlled input resistor having a third bias voltage and a comparator for detecting the polarity of a voltage drop across said voltage controlled input resistor when input current flows through it;
a first voltage reference circuit having high and low input reference voltages and being connected to said reference resistance, said first voltage reference circuit
0 generating said first and second bias voltages such that current from said output buffer through said first and second transmission lines generates a voltage drop across said terminating resistor substantially from said high input reference voltage to said low input reference voltage; and
a second voltage reference circuit having as an input said first and second
5 bias voltages and at least one of said input reference voltages, said second voltage reference circuit generating said third bias voltage to bias said first voltage controlled resistor in said input buffer to a resistance substantially equal to said first resistance.

2. The circuit of claim 1, wherein said current switch comprises a first and second switch connected to a first node, and a third and fourth switch connected to a second node;
- said first and third switches being connected in series and said second and fourth switches being connected in series;
- said first transmission line being connected to said first and third switches, and said second transmission line being connected to said second and fourth switches;
- a first current path being defined by when said first and fourth switches are conducting and said second and third switches are non-conducting; and
- a second current path being defined when said first and fourth switches are non-conducting and said second and third switches are conducting.
3. The circuit of claim 2, further including a current switch control circuit having a binary data input signal and a plurality of output control signals which bias said first through fourth switches as either conducting or non-conducting to thereby select either said first current path or said second current path according to the value of said data input signal.
4. The circuit of claim 3, wherein said current switch control circuit is connected to a second supply voltage, said second supply voltage having magnitude greater than or equal to said first supply voltage.
5. The circuit of claim 2, wherein said first voltage reference circuit comprises:
- a second voltage controlled current source connected to said first supply voltage and a fifth switch biased in the conducting state and connected in series between said second voltage controlled current source and said reference resistor at a third node;
- a second voltage controlled current sink connected to ground and a sixth switch biased in the conducting state and being connected in series between said

second voltage controlled current sink and said reference resistor at a fourth node;
and

a feedback circuit generating said first and second bias voltages which bias
said second voltage controlled current source and said second voltage controlled
5 current sink, respectively, such that the voltage at said third node equals said high
input reference voltage and the voltage at said fourth node equals said low input
reference voltage.

6. The circuit of claim 5, wherein said feedback circuit comprises:

a first operational amplifier having said first bias voltage as an output and
0 having said high input reference voltage and the voltage at said third node as inputs,
said input voltages being connected such that the magnitude of the current through
said second voltage controlled current source is inversely dependent on the voltage
at said third node;

a second operational amplifier having said second bias voltage as an output
5 and having said low input reference voltage and the voltage at said fourth node as
inputs, said input voltages being connected such that the magnitude of the current
through said second voltage controlled current sink is dependent on the voltage at
said fourth node.

7. The circuit of claim 5, further including at least one of a first capacitor
0 connected between the output of said first operational amplifier and said fourth node
and a second capacitor connected between the output of said second operational
amplifier and said third node.

8. The circuit of claim 5, wherein said first resistance of said terminating
resistor equals said reference resistance and said second voltage controlled current
5 source, second voltage controlled current sink, fifth switch, and sixth switch have
substantially the same operating characteristics as said first voltage controlled

current source, first voltage controlled current sink, first switch, and fourth switch, respectively.

9. The circuit of claim 2, wherein said second voltage reference circuit comprises:

5 a second voltage controlled current source under the control of said first bias voltage and being connected to said first supply voltage;

a fifth switch biased in the conducting state and connected in series between said second voltage controlled current source and a second voltage controlled resistor at a third node;

0 a second voltage controlled current sink under the control of said second bias voltage and being connected to ground;

a sixth switch biased in the conducting state and being connected in series between said second voltage controlled current sink and said second voltage controlled resistor at a fourth node; and

5 a feedback circuit generating said third bias voltage which biases said second voltage controlled resistor such that the voltage at said third node equals said high input reference voltage and the voltage at said fourth node equals said low input reference voltage.

10. The circuit of claim 9, wherein said feedback circuit comprises an

0 operational amplifier having said third bias voltage as an output and having as inputs said high input reference voltage and the voltage at said third node connected such that the resistance of said second voltage controlled resistor is inversely dependent on the voltage at said third node.

11. The circuit of claim 9, wherein said feedback circuit comprises an

5 operational amplifier having as an output said third bias voltage and having as inputs said low input reference voltage and the voltage at said fourth node, said input

voltages being connected such that the resistance of said second voltage controlled resistor is dependent on the voltage at said fourth node.

12. The circuit of claim 9, wherein said second voltage controlled current source, second voltage controlled current sink, second voltage controlled resistance, fifth switch, and sixth switch have substantially the same operating characteristics as said first voltage controlled current source, first voltage controlled current sink, first voltage controlled resistance, first switch, and fourth switch, respectively.
13. The circuit of claim 1, wherein said output buffer further includes a second voltage controlled resistance connected across said first and second balanced transmission lines.
14. The circuit of claim 13, wherein said second voltage controlled resistance has substantially the same operating characteristics as said first voltage controlled resistance.
15. The circuit of claim 1, wherein said input buffer further includes a hysteresis circuit between said first voltage controlled resistor and said comparator.
16. The circuit of claim 15, wherein said hysteresis circuit comprises a one-bit memory cell.
17. The circuit of claim 1, wherein said first voltage controlled resistor is connected across said first and second transmission lines.
18. The circuit of claim 17, further including a data enable circuit having a data enable signal as an input, said data enable circuit biasing said current switch in a non-conducting state to prevent current flow between said output buffer and said first and second transmission lines when said data enable signal is not active.

19. The circuit of claim 18 further including a resistance enable circuit having a resistance enable signal as an input, said resistance enable circuit biasing said first voltage controlled resistor in a high-impedance state when said resistance enable signal is not active.
- 5 20. The circuit of claim 3, wherein said first voltage controlled resistor is connected across said first and second transmission lines.
21. The circuit of claim 20, wherein said current switch control circuit further includes a data enable signal as an input, said current control circuit biasing said first through fourth switches as non-conducting when said data enable signal is not
0 active.
22. The circuit of claim 21 further including a resistance enable circuit having a resistance enable signal as an input, said resistance enable circuit biasing said first voltage controlled resistor in a high-impedance state when said resistance enable signal is not active.
- 5 23. An integrated circuit that includes a differential swing interconnect I/O buffer comprising an output buffer and an input buffer;
said input buffer having first and second inputs and comprising a first variable input resistor having resistance determined by a resistor control voltage and being connected between said first and second inputs and an input detector circuit
0 for detecting the polarity of a voltage drop across said variable input resistor;
said output buffer having first and second outputs and comprising a first output buffer part connected between a power supply and said first and second outputs and a second output buffer part connected between ground and said first and second outputs;
5 said first output buffer part comprising a first variable current source controlled by a source bias voltage and a first group of switches configurable as

conducting or non-conducting, said first variable current source and said first group of switches being series-connected between said power supply and said first and second outputs;

5 said second output buffer part comprising a first variable current sink controlled by a sink bias voltage and a second group of switches configurable as conducting or non-conducting, said first variable current sink and said second group of switches being series-connected between ground and said first and second outputs; and

0 an output control circuit connected to said first and second groups of switches which controls the state of said switches to thereby define a first switch configuration wherein said first output is connected to said current source and said second output is connected to said current sink and a second switch configuration wherein said first output is connected to said current sink and said second output is connected to said current source.

5

24. The circuit of claim 23, being connected to a reference resistor and further including a current bias reference circuit which generates said source bias voltage and said sink bias voltage, said current bias reference circuit being connected to a high input reference voltage and a low input reference voltage and comprising:

0 a first current bias reference circuit part connected between said power supply and said reference resistor at a first reference node and comprising a second variable current source controlled by said source bias voltage;

5 a second current bias reference circuit part connected between ground and said reference resistor at a second reference node and comprising a second variable current sink controlled by said sink bias voltage; and

0 a first feedback circuit that generates said source bias voltage with magnitude such that the voltage at said first reference node is substantially equal to said high input reference voltage and that generates said sink bias voltage with magnitude such that the voltage at said second reference node is substantially equal to said low input reference voltage, said first feedback circuit being connected so that the magnitude

of the current through said second variable current source is inversely dependent on the voltage at said first reference node and the magnitude of the current through said second variable current sink is dependent on the voltage at said fourth node.

25. The circuit of claim 24 wherein said first current bias reference circuit part
5 has substantially the same operating characteristics as said first output buffer part and said second current bias reference circuit part has substantially the same operating characteristics as said second output buffer part;

26. The circuit of claim 24, further including a resistor bias reference circuit for
0 generating an active resistor biasing voltage and being connected to at least one of said high and low input reference voltages, wherein said resistor control voltage is equal to said active resistor biasing voltage and said resistor bias reference circuit comprises:

a first resistor bias reference circuit part connected between said power
supply and a second variable input resistor at a third reference node, said second
5 variable input resistor controlled by said active resistor biasing voltage, said first resistor bias reference circuit part comprising a third variable current source biased to said source bias voltage;

a second resistor bias reference circuit part connected between ground and
said second variable input resistor at a fourth reference node, said second resistor
0 bias reference circuit part comprising a third variable current sink controlled by said sink bias voltage; and

a second feedback circuit that generates said active resistor biasing voltage
with magnitude such that the voltage at said third reference node is substantially
equal to said high input reference voltage and the voltage at said fourth reference
5 node is substantially equal to said low input reference voltage.

27. The circuit of claim 26 wherein said second variable input resistor has
substantially the same operating characteristics as said first variable input resistor in

said input buffer, said first resistor bias reference circuit part has substantially the same operating characteristics as said first output buffer part, and said second resistor bias reference circuit part has substantially the same operating characteristics as said second output buffer part.

- 5 28. The circuit in claim 26 wherein said first input is connected to said first output at a first I/O node and said second input is connected to said second output at a second I/O node.

29. The circuit in claim 28 wherein each of said first, second, and third variable current source comprises a MOS transistor with a gate voltage
0 equal to said source bias voltage.

30. The circuit in claim 28 wherein each of said first, second, and third variable current sink comprises a MOS transistor with a gate voltage equal to said sink bias voltage.

31. The circuit in claim 28 wherein said first group of switches comprises a first
5 switch connected between said first variable current source and said first I/O node and a second switch connected between said first variable current source and said second I/O node, and said second group of switches comprises a third switch connected between said first I/O node and said first variable current sink and a
0 fourth switch connected between said second I/O node and said first variable current sink.

32. The circuit in claim 31 wherein each of said first through fourth switches comprises a MOS transistor.

33. The circuit in claim 28 wherein said first variable input resistor comprises a MOS transistor with a gate voltage equal to said resistor control voltage.

34. The circuit in claim 33 wherein said first variable input resistor comprises a plurality of series-connected MOS transistors, each having a gate voltage equal to said resistor control voltage.
35. The circuit in claim 34 further including at least one capacitor connected
5 between a pair of series connected MOS transistors and ground.
36. The circuit in claim 28 wherein said input detector circuit comprises a comparator.
37. The circuit in claim 28 wherein said first feedback circuit comprises a first
0 operational amplifier having as inputs said high input reference voltage and the voltage at said first reference node and having as output said source bias voltage and a second operational amplifier having as inputs said low input reference voltage and the voltage at said second reference node and having as output said sink bias voltage.
38. The circuit in claim 37 further including at least one of a first capacitor
5 connected between the output of said first operational amplifier and said second reference node and a second capacitor connected between the output of said second operational amplifier and said first reference node.
39. The circuit in claim 28 wherein said second feedback circuit comprises an
0 operational amplifier having as inputs said high input reference voltage and the voltage at said third reference node and having as output said active resistor biasing voltage.
40. The circuit in claim 28 wherein said first input buffer part further comprises at least one gain-limiting resistor connected in series between said first variable current source and said first variable current sink.

41. The circuit in claim 23 wherein said first input is connected to said first output and said second input is connected to said second output.

42. The circuit in claim 28 further including a resistor enable circuit having a resistor enable signal, said resistor enable circuit alternatively selecting in response to said resistor enable signal a resistor control voltage as one of said active resistor biasing voltage to enable said variable input resistor and a biasing voltage with magnitude sufficient to disable said variable input resistor by placing it in a high-impedance state.

43. The circuit in claim 42 further including a third switch configuration selectable by said output control circuit wherein all switches which are connected to at least one of said first and second outputs, are in the non-conducting state.

44. The circuit of claim 43 wherein said first current bias reference circuit part and said first resistor bias reference circuit part each have substantially the same operating characteristics as said first output buffer part, said second current bias reference circuit part and said second resistor bias reference circuit part each have substantially the same operating characteristics as said second output buffer part, and said second variable input resistor has substantially the same operating characteristics as said first variable input resistor.

45. A plurality of circuits as in claim 43 connected to first and second balanced transmission lines each having a first and second end, wherein each of said circuits has said first output connected to said first transmission line and said second output connected to said second transmission line, said plurality of circuits including a first circuit connected to the transmission lines at said first ends and a second circuit connected to the transmission lines at said second ends.

46. The plurality of circuits in claim 45 wherein said first variable input resistor in said first and second circuits is enabled and said first variable input resistor in all other of said plurality of circuits is disabled.

47. A current biasing circuit that generates bias voltages for a plurality of current
5 sources and generates a controlled voltage and current at two points, said current biasing circuit comprising:

a first voltage controlled current source series connected between a supply voltage and a reference resistor at a first node;

a first voltage controlled current sink series connected between ground and
10 said reference resistor at a second node;

a first feedback circuit having inputs connected to a first reference voltage and said first node and having an output connected to said first voltage controlled current source, whereby said first feedback circuit biases said first voltage controlled current source so that the voltage at said first node is substantially equal
15 to said first reference voltage; and

a second feedback circuit having inputs connected to a second reference voltage and said second node and having an output connected to said first voltage controlled current sink, whereby said second feedback circuit biases said first voltage controlled current sink so that the voltage at said second node is
20 substantially equal to said second reference voltage.

48. The current biasing circuit of claim 47, further comprising at least one of a first capacitor connected between said second node and the output of said first feedback circuit and a second capacitor connected between said first node and the output of said second feedback circuit.

49. The current biasing circuit of claim 47, wherein said first and second
5 feedback circuits comprise operational amplifiers.

50. An output buffer circuit biased by the current biasing circuit of claim 48,
wherein said output buffer circuit comprises:

an output current source connected between said power supply and a current
switch and sourcing a current determined by the output voltage of said first feedback
5 circuit; and

an output current sink connected between said current switch and ground and
sinking a current determined by the output voltage of said second feedback circuit;

wherein a load may be connected to said output current source and output
current sink through said current switch.

0 51. An active resistor control circuit biased by the current biasing circuit of
claim 47, said resistor control circuit comprising:

a second voltage controlled current source series connected between said
power supply and a voltage controlled resistor at a third node, said second current
source sourcing a current determined by the output voltage of said first feedback
5 circuit;

a second voltage controlled current sink series connected between ground and
said voltage controlled resistor at a fourth node, said second current sink sinking a
current determined by the output voltage of said second feedback circuit; and

a third feedback circuit having inputs connected to said first reference
0 voltage and the voltage at said third node and having an output connected to said
voltage controlled resistor, whereby said third feedback circuit biases said voltage
controlled resistor so that the voltage at said third node is substantially equal to said
first reference voltage.

52. The resistor control circuit of claim 51, wherein said third feedback circuit
5 comprises an operational amplifier.

53. An input buffer circuit biased by the resistor control circuit of claim 51, wherein said input buffer comprises a voltage controlled input resistor having a resistance determined by the output voltage of said third feedback circuit.

54. An active resistor control circuit biased by the current biasing circuit of claim 47, said resistor control circuit comprising:

a second voltage controlled current source series connected between said power supply and a voltage controlled resistor at a third node, said second current source sourcing a current determined by the output voltage of said first feedback circuit;

0 a second voltage controlled current sink series connected between ground and said voltage controlled resistor at a fourth node, said second current sink sinking a current determined by the output voltage of said second feedback circuit; and

a third feedback circuit having inputs connected to said second reference voltage and the voltage at said fourth node and having an output connected to said voltage controlled resistor, whereby said third feedback circuit biases said voltage controlled resistor so that the voltage at said fourth node is substantially equal to said second reference voltage.

55. The resistor control circuit of claim 54, wherein said third feedback circuit comprises an operational amplifier.

0 56. An input buffer circuit biased by the resistor control circuit of claim 54, wherein said input buffer comprises a voltage controlled input resistor having a resistance determined by the output voltage of said third feedback circuit.

3. Detailed Description of Invention

Field of the Invention

This invention relates to an I/O interface circuit that maintains high speed data transfer between integrated devices on a printed circuit board. More particularly, the invention relates to input and output buffers having a low voltage differential swing interconnect that are biased to the proper operating levels by on-chip reference circuits.

Background of the Invention

0 In today's computing environment, there is a growing demand for increased processing speed in order for the computer to operate efficiently. For instance, the resources of a modern computer can be saturated when the user specifies a finer mesh or higher resolution for the solution to a physical problem in areas such as hydrodynamics or 3-D graphics.

5 One way to increase processing speed is to utilize a large number of processors cooperatively. Processor cooperation is provided by the Scalable Coherent Interface ("SCI"), which is a high-speed packet transmission protocol that efficiently provides the functionality of bus-like transactions (read, write, lock, etc.) between processors. However, the initial physical implementations are based on
0 Emitter-Coupled Logic ("ECL") signal levels, which consume more power than is practical in a low cost workstation environment. Additionally, ECL specifications require a 1 Gbyte per second bandwidth (for a 16-bit data path), which is too expensive in a workstation environment.

In order to overcome the drawback of costly ECL signal levels, it has been
5 proven to be cost effective to utilize a data path which is of sufficient bandwidth, but is narrower than the wider bandwidth of ECL signal levels. The combination of a high speed transmission environment and efficient protocols provides the link for multiple processors to cooperate in a low-cost workstation. Therefore, the IEEE

Computer Society established the Low Voltage Differential Swing ("LVDS") standard, which is a signaling alternative to the ECL signal level protocol. The LVDS interface was standardized by the IEEE in the draft standard for Scalable Coherent Interface (SCI) LVDS, IEEE STANDARD, p. 1596.3, dated September 9, 5 1993.

Essentially, an LVDS interface is a balanced I/O buffer driver that sends data by current signaling in a balanced interconnect environment. I/O buffer circuits are important in computers for maintaining high speed data transfer between packaged devices on a circuit board or between different backplanes. Typically, LVDS 0 circuits operate in excess of 700Mb/s in the 0.35 μ CMOS technology, wherein a balanced pair of 50 Ω transmission lines are terminated across an on-chip resistance of 100 Ω . The output buffer must provide a signal current of 4mA and be biased to cause a voltage drop across the on-chip input resistance from 1.4 to 1.0 volts. One drawback with conventional LVDS circuits is that the operating characteristics of the 5 I/O circuits shift with variations in temperature and supply voltage. Further, even if different chips have identical supply voltages and are at the same temperature, the operating characteristics of buffers connected across different chips may vary due to variations introduced in fabrication.

Summary of the Invention

0 The object of the present invention is to provide an LVDS I/O buffer that maintains high speed data transfer between package devices on a printed circuit board or between different backplanes. The operating point of the LVDS input and output buffers are biased with voltages generated by reference feedback circuits so that output buffer voltage and current and input buffer impedances remain constant 5 over all processes, voltage and temperature conditions, and therefore, the voltage logic levels for transmitted data are also constant. In accordance with the invention, the reference circuits can generate bias voltages for all input and output buffers on a chip using only a single internal or external reference resistor R_{EXT} and reference voltages V_{HIGH} and V_{LOW} .

Detailed Description of the Preferred Embodiments

Fig. 1A is an illustration of two generic I/O buffers 10, 10' connected to each other. Each I/O buffer 10, 10' contains output buffer 11, 11' and input buffer 12, 12', respectively. Data is output from the first chip through output buffer 11 and transmission lines 14 and 16, and input to the second chip by input buffer 12'. Analogously, data from the second chip is output by output buffer 11' through transmission lines 14', 16' and input to the first chip by input buffer 12. Alternatively, output buffer 11 and input buffer 12 may be configured to share the same pair of transmission lines 14, 16 as shown in Fig. 1B. In this embodiment, I/O buffer 10 is selectively enabled for an input or output mode. I/O buffers 10', 10'', and 10''' are similarly configured. In this manner, many I/O buffers can communicate with each other over a single shared interface.

Output buffer 11 and input buffer 12 of I/O buffer 10 are constructed on a single integrated circuit chip. Buffers 11', 12' of I/O buffer 10' are likewise on a single chip, which may be separate from the one containing I/O buffer 10. Output buffer 11 and input buffer 12' will be discussed to illustrate the complete input-output circuit created when two I/O buffers 10, 10' are connected to each other. For purposes of this discussion, I/O buffers 10 and 10' are identical and therefore descriptions of input buffer 12' equally describe input buffer 12.

Figure 2 illustrates an ideal circuit representation of the LVDS output buffer 11 and input buffers 12 and 12' in accordance with an illustrative embodiment of the present invention. Output buffer 11 functions using current steering techniques and can source and sink current simultaneously to and from the interconnect transmission lines 14, 16. A voltage source V_{DDQ} is coupled to a voltage controlled current source 20, which is connected to parallel switches A1 and B1. A voltage

controlled current sink 22 is connected between ground and parallel connected switches B2 and A2, which are respectively connected to switches A1 and B1 in series. Switches A1, A2, B1, and B2 are preferably fabricated from n-channel MOS transistors, but are not limited thereto, and may be fabricated in CMOS or other
 5 types of devices such as Bipolar Junction Transistors. The Bias voltages V_{SOURCE} and V_{SINK} for voltage controlled current source 20 and voltage controlled current sink 22 are generated by reference circuit 45 and are dependent on reference resistor 58 and reference voltages V_{HIGH} and V_{LOW} . Reference resistor 58 should be a high precision device and can be an external component or can be formed on the chip by
 0 an accurate fabrication technique such as laser trimming. Voltages V_{HIGH} and V_{LOW} may be generated either externally or internally. If desired, gain-limiting resistor 21 may be placed in the current path from the current source 20. Resistor 21 serves to decrease the circuit's sensitivity to variations in V_{DDQ} and may be formed from an active or passive device.

5 Input buffer 12' is comprised of a voltage controlled resistor 18' and comparator 19', which detects the voltage across resistor 18'. The first interconnect transmission line 14 is coupled to output buffer 11 at a nodal point 24 between switches A1 and B2, and the second interconnect transmission line 16 is coupled at a nodal point 26 between switches B1 and A2. Transmission lines 14, 16 are
 0 connected to input buffer 12' across resistor 18'. To properly terminate transmission lines 14 and 16, resistor 18' should have a resistance equal to approximately twice the impedance of each line. Typical values are transmission line impedances of 50 Ω each and a terminating resistance of 100 Ω . Input buffer 12 similarly comprises a voltage controlled resistor 18. The bias voltage V_{RES} ,
 5 shown for the input resistor 18 of input buffer 12, is generated by reference circuit 79 and is dependent on V_{SOURCE} , V_{SINK} , and one of the two reference voltages (e.g., V_{HIGH}).

In operation, when switches A1 and A2 are closed, switches B1 and B2 are open, and visa-versa. When switches A1 and A2 are closed, the current I flowing
 0 through current source 20 and current sink 22 is directed across transmission line

14, through resistor 18' and back across transmission line 16 as indicated by the current arrows in Fig. 2. Current I generates a voltage drop across resistor 18' which drop is detected by comparator 19'. Conversely, when switches B1 and B2 are closed, current I flows through resistor 18' in the opposite direction to that indicated by the arrows in Fig 2 and thus a voltage "drop" of opposite magnitude is generated across resistor 18'. Because current I changes direction, comparator 19' is presented with a peak-to-peak voltage swing of twice the IR drop developed across resistor 18' when current I is simply turned on and off.

The voltage across resistor 18' should drop from a predetermined V_{HIGH} to V_{LOW} . Output buffer 11 must therefore control the voltage across resistor 18' in accordance with the predetermined values for V_{HIGH} and V_{LOW} over all processes, voltage, and temperature conditions affecting a packaged device. A typical requirement is for a V_{HIGH} of 1.4 volts and a V_{LOW} of 1.0 volts giving a voltage drop across resistor 18' of 0.4 volts. For a resistor 18' of 100 Ω , a current of 4mA must be provided. Under this standard, output buffer 11 must provide a 4mA current and a voltage drop from a 1.4 volt V_{HIGH} to a 1.0 volt V_{LOW} for a V_{DDQ} which may vary between 3.0 and 3.6 volts, an operating temperature range of from 0 to 125° C, and all expected variations in the manufacturing process. These and other standards for LVDS circuits are detailed in Draft Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), IEEE Draft 1.3, November 27, 1995.

The above analysis assumes that there is no significant IR loss in the transmission lines. Generally, a balanced inter-chip transmission line interface has a resistive loss on the order of 4 m Ω per foot. A 100 foot connection would thus have a voltage drop of 16 mV when driven by a 4mA current. Provided that $V_{HIGH} - V_{LOW}$ is not too small, this additional voltage drop may be ignored.

It can be appreciated that the LVDS I/O circuit 10 provides several advantages over conventional single ended transfer techniques. For instance, current steering in the output buffer minimizes the ground bounce generated on the transmitting chip. The differential transfer of signals on transmission lines 14, 16

carries the common mode voltage with it, thereby allowing operations without the need of a reference voltage at the input circuit. Additionally, the power dissipation is reduced since the magnitude of the current in the LVDS 10 is one-quarter of the current in conventional single ended circuits such as Gunning Transceiver Logic (GTL). Finally, the circuit may be driven with lower supply voltages than are applied to the core circuits on the IC, further reducing power dissipation.

Fig. 3A illustrates a preferred embodiment of output buffer 11 depicted in Fig. 2 using only n-channel in a CMOS technology. Switches A1, A2, B1, and B2 are formed by transistors 27-30 which have substantially the same geometric dimensions and thus have substantially the same operating characteristics. Current source 20 is formed by transistor 38. The magnitude of current supplied is dependent on gate bias voltage V_{SOURCE} . Current sink 22 is formed by transistor 40. The magnitude of current sunk is dependent on gate bias voltage V_{SINK} . It should be noted that if the bias voltage V_{SOURCE} applied current source 20 comprising transistor 38 varies over a wide range, transistor 38 may accidentally be biased to behave as a linear device, not a current source. To prevent this, a second transistor smaller than transistor 38 may be placed in parallel with it and biased so it is always enabled. (Not shown.) This arrangement would behave as two parallel current sources or as a resistor in parallel with a current source, depending on the bias voltage applied to transistor 38. Current sink 22 comprised of transistor 40 may also be modified similarly.

Transistors 38 and 40 may alternatively be p-channel devices (see discussion of Fig. 3B, below). Whether a p-channel or n-channel current source or sink should be used is dependent to a large extent on the supply voltages and operating points. Voltages V_{SOURCE} and V_{SINK} are adjusted by the reference circuit 45, shown in Fig. 2, so that the current flow through the transistors results in the proper V_{HIGH} to V_{LOW} voltage drop across resistor 18' when data is being sent. The generation of V_{SOURCE} and V_{SINK} will be discussed with reference to Figs. 4A and 4B below.

Also depicted in Fig. 3A is an ideal phase splitter 31. A logic high or logic low signal corresponding to the value of the data bit to be output is presented to

phase splitter 31 through input 36. This signal is then translated into two signals 32, 34 which are 180° out of phase with respect to each other. Thus, the signal 34 from phase splitter 31 is effectively the inverse logic value of signal 32 as shown in the idealized depiction in Fig. 3A. Note that phase splitter 31 is driven at the chip core voltage V_{DD} . Voltage V_{DD} may be greater than or equal to V_{DDQ} , depending on the I/O standard the circuit is to comply with and other design parameters. Assuming that a high voltage represents a digital "1", when a "1" is input on line 36, signal 32 should be driven at V_{DD} and signal 34 should be connected to ground. When a "0" is input, signal 32 should be connected to ground and signal 34 should be driven to V_{DD} . Signal 32 controls switches A1 and A2 while signal 34 controls switches B1 and B2.

Thus, for example, when a logic "1" is to be sent by output buffer 11, this value is presented to input 36 of phase splitter 31 which drives line 32 to V_{DD} and connects line 34 to ground. The high voltage on line 32 causes switches A1 and A2 to close. The low voltage on line 34 causes switches B1 and B2 to open. This results in a current flow I through switches A1 and A2, transmission lines 14, 16, and resistor 18' in the direction indicated by the arrows. If a logic "0" is sent, line 32 will be connected to ground and line 34 will be driven to V_{DD} . Switches B1 and B2 will close and switches A1 and A2 will open, resulting in a current flow across resistor 18' of opposite direction than when a logic "1" is sent.

Fig. 3B illustrates an alternative embodiment of the output buffer 11 in Fig. 2 using CMOS technology. Fig. 3B is similar to Fig. 3A except that switching transistors 27 and 29 (A1, B1) are p-channel instead of n-channel and gain limiting resistor 21 is "split" and is placed after transistors 27 and 29 as resistors 21' and 21'', respectively. This circuit functions identically to that of Fig. 3A. Note, however, that in this embodiment switching signal 34 controls switches A1 and B2 and switching signal 32 controls switches B1 and A2. This alternate embodiment also shows a p-channel transistor 38 used to form current source 20. As discussed above, it may be necessary to place a second transistor in parallel with transistor 38 to ensure that current source 20 functions properly for all expected bias voltages.

Fig. 3C illustrates a preferred embodiment of input buffer 12 depicted in Fig. 2 with on-chip voltage controlled active resistor 18 comprising n-channel MOS transistors 42 and 44 connected in series and biased to gate voltage V_{RES} . Transistors 42 and 44 create an active resistor with a resistance inversely dependent on V_{RES} . V_{RES} must be set to provide the proper termination resistance based on the characteristic impedances of transmission lines 14' and 16' as discussed above. Typically, transmission lines 14' and 16' have a characteristic impedance of 50 Ω each and thus V_{RES} must be adjusted to cause a total series resistance in transistors 42 and 44 of 100 Ω . The generation of V_{RES} will be discussed with reference to Fig. 5, below. Capacitor 41 is connected between the transistors 42, 44 at node 43 and ground. Capacitor 41 serves to provide an AC ground for common mode signals which may be undesirably induced in interconnects 14' and 16'. It also serves as an AC ground for the intended differential mode signals at 14' and 16'.

As discussed with respect to Figs. 3A through 3C, the operating points of output buffer 11 and input buffer 12 are dependent on the biasing voltages V_{SOURCE} , V_{SINK} , and V_{RES} generated by reference circuits 45 and 79 depicted in Figs. 4A, 4B, and 5. A key object of the present invention is to dynamically adjust these voltages over a wide range of operating parameters while still maintaining the proper current flow to insure that the voltage drop across active resistor 18' is from V_{HIGH} to V_{LOW} when a data bit is being sent. The proper biasing voltages are generated by taking advantage of the fact that, in an ideal sense, transistors with the same geometries on the same IC will have essentially identical operating characteristics. All components on a single IC are subjected to the same conditions during fabrication and, ignoring second-order effects, operate at the same temperature and with the same supply voltage. Therefore, regardless of variations in these three parameters, if the operating point for a circuit with given biasing voltages is known, applying those biasing voltages to a corresponding circuit with the same transistor geometries will bias the corresponding circuit to the same operating point.

The reference voltages V_{SOURCE} , V_{SINK} , and V_{RES} are generated by the two reference circuits 45, 79 (Fig. 2). Through the use of reference voltages V_{HIGH} and

V_{LOW} and a reference resistor R_{EXT} , the transistor gate bias voltages in the first reference circuit 45 are dynamically adjusted to support a current $I = (V_{HIGH} - V_{LOW})/R_{EXT}$. The feedback-generated bias voltages are then applied to a second reference circuit 79, similar to the first but with the reference resistor replaced by a voltage-controlled active resistance. The components in the second reference circuit have the same operating characteristics as those in the first so the biased transistors will attempt to support the same current $I = (V_{HIGH} - V_{LOW})/R_{EXT}$. Therefore, if the bias voltage for the active resistor is adjusted so that the voltage drop across it is V_{HIGH} to V_{LOW} , the active resistance must have a value of R_{EXT} . These bias voltages can then be used to insure that all the LVDS I/O buffers 10 on the same chip have an input resistance of R_{EXT} and drive the output transmission lines at a current $I = (V_{HIGH} - V_{LOW})/R_{EXT}$. In this way, LVDS circuit 10 is dynamically adjusted to compensate for variations in temperature and supply voltage.

Fig. 4A is a portion of a schematic representation of the voltage reference circuit 45 which dynamically generates V_{SOURCE} and V_{SINK} for LVDS output buffer 11 depicted in Fig. 3A., but without the feedback circuits. The complete circuit is illustrated in Fig. 4B. With reference to Fig. 4A, voltage reference circuit 45 contains n-channel MOS transistors 60 and 62 connected in series from V_{DDQ} to node 54 and n-channel MOS transistors 64 and 66 connected in series from node 56 to ground. Additionally, if a gain-limiting resistor 21 is included in output buffer 11, as shown in Fig. 3A, a corresponding gain-limiting resistor 61 should be included in the current path as indicated. Reference resistor 58 with resistance R_{EXT} is connected between nodes 54 and 56. The reference resistor 58 may be a high-precision external component or may be formed on the chip by e.g., laser trimming techniques. Assuming that all four transistors are biased on, a current will flow from V_{DDQ} through external resistor 58 and into ground as illustrated by current arrow I.

Comparing Figs. 4A and 3A, it can be seen that the partial circuit of Fig. 4A corresponds to a simplified version of output buffer 11 in Fig. 3A, containing only

the conducting path through the current switch. Transistors 62 and 64 in Fig. 4A depict closed switches A1 and A2, or B1 and B2 from Fig. 3A and have the same geometry. The choice is immaterial since the two switch pairs are substantially identical.

5 Transistor 60 in Fig. 4A corresponds to current source transistor 38 of Fig. 3A. Similarly, transistor 66 corresponds to current sink transistor 40. Therefore, the magnitude of current I , shown in Fig. 4A, is dependent on the gate bias voltages applied to transistor 60 at node 72 and transistor 66 at node 78 in the same way that the current I depicted in Fig. 3A depends on bias voltages V_{SOURCE} and V_{SINK} as
 0 discussed above. Reference resistor 58 corresponds to resistor 18' and has resistance R_{EXT} equal to twice the expected characteristic impedance of the output transmission lines 14, 16. (If power conservation is critical, the widths of transistors 60, 62, 64, and 66 can be scaled down a given factor provided that the resistance of R_{EXT} and resistor 61 is increased by the same factor. For example, if
 5 the device width was reduced by a factor of 10 and the resistance was increased by a factor of 10, the voltage operating points would remain the same but the circuit would only use 1/10 the power).

The bias voltages at nodes 72 and 78, V_{SOURCE} and V_{SINK} respectively, are independently adjusted so that the current I creates a voltage drop across external
 0 resistor 58 from V_{HIGH} to V_{LOW} . Because the reference circuit components are chosen so that the circuit has the same operating characteristics as output buffer 11, when corresponding current source and sink transistors 38, 40 (Fig. 3A) are biased to these adjusted voltages, they will attempt to drive the same magnitude current flow I . If resistor 18' has resistance equal to R_{EXT} , this current will cause the
 5 required V_{HIGH} to V_{LOW} voltage drop across it.

Fig. 4B is the circuit of Fig. 4A showing feedback comparators 46, 48 which set the proper V_{SOURCE} and V_{SINK} voltages. This circuit is essentially two voltage-to-current converters connected in a balanced configuration across an external reference resistance. Reference voltage V_{HIGH} is applied to the non-inverting input
 0 of comparator 46. The voltage on reference resistor 58 at node 54 is applied to the

inverting input of comparator 46. If the voltage at node 54 is greater than V_{HIGH} , the comparator output voltage V_{SOURCE} at node 72 will decrease, causing the current through transistor 60 to drop, thus lowering the voltage at node 54 until it equals V_{HIGH} . If the voltage at node 54 is lower than V_{HIGH} , the comparator output voltage
 5 increases, increasing the current and thus the voltage at node 54. In the steady state, the voltage at node 54 equals V_{HIGH} . Analogously, V_{LOW} is applied to the inverting input of comparator 48 and the voltage on external resistor 58 at node 56 is applied to the non-inverting input. Comparator 48 output at node 78, V_{SINK} , increases or decreases to adjust the current until node voltage 56 equals V_{LOW} . Current I will
 0 therefore be set at $I = (V_{HIGH} - V_{LOW})/R_{EXT}$. For typical values for $V_{HIGH} = 1.4$ volts, $V_{LOW} = 1.0$ volt and $R = 100 \Omega$, current I is 4mA. Voltages V_{SOURCE} and V_{SINK} are unity gained buffered and applied to all output buffers 11 which are present on the IC, biasing them to the proper operating point.

Capacitor 70 is connected between node 78 (V_{SINK}) and node 74. Capacitor
 5 70 provides stability in the reference circuit by acting as a surplus current source or sink to compensate for current and voltage variations caused by noise. For example, if I increases to $I + \Delta I$, where ΔI is noise or another disturbance, the voltages at nodes 54 and 56 would increase and decrease respectively. The feedback loop would cause the voltage at node 78 to decrease with the voltage on node 56.
 0 However, since the node 54 (and thus node 74) voltage is increasing, capacitor 70 feeds back this increase to cancel the initial decrease. Thus, this capacitor stabilizes the circuit.

The reference circuit 45' for the alternate embodiment of Fig. 3B is shown in Fig. 4C. Transistor 62 is a p-channel device and is biased to ground. An additional
 5 stabilizing capacitor 68 has been added between node 72 (V_{SOURCE}) and node 76. Capacitor 68 functions analogously to capacitor 70. In this embodiment, resistor 61 corresponds to gain limiting resistor 21' shown in Fig. 3b. Further, current source 60 is also a p-channel device and thus, the inverting and non-inverting inputs to comparator 46 must be reversed. Note that as long as there is equivalency between
 0 the devices of the reference circuits and the I/O buffer, any combination of n-

channel and p-channel devices may be used, provided that the biasing and comparator polarity is adjusted accordingly.

Fig. 5 is a schematic representation of the voltage reference circuit 79 which dynamically generates V_{RES} for LVDS input buffer 11. As shown in Fig. 3C, V_{RES} sets the resistance across the active resistor 18 comprised of transistors 42, 44. V_{RES} must therefore be adjusted so that the active resistance is twice the expected impedance of input transmission lines 14' and 16'. Equivalently, V_{RES} must set the active resistance to be equivalent to R_{EXT} . This is accomplished through the use of a reference circuit with the current source, current sink, and conducting switch elements configured as in the first reference circuit (i.e., like output buffer 11), but replacing R_{EXT} with an active resistance R_{ACTIVE} .

Transistors 80, 82 and resistor 81 are connected in series between V_{DDQ} and node 96, and series transistors 88, 90 are connected between node 98 and ground. If a gain-limiting resistor 21 is included in output buffer 11, a corresponding gain-limiting resistor 81 should be included in the current path as indicated. Transistors 80, 82, 88, 90 are biased to gate voltages V_{SOURCE} , V_{DD} , V_{DDQ} and V_{SINK} respectively (similar to Fig. 4B). These reference circuit transistors all have the same geometries as their corresponding elements in output buffer 11 depicted in Fig. 3A. If the alternative embodiment of Fig. 3B is used, transistors 80 and 82 in Fig. 5 should be p-channel devices and transistor 82 should be biased to ground, similar to the equivalent circuit section in Fig. 4C. The active resistance is comprised of transistors 84, 86 and is connected between nodes 96 and 98. Transistors 84 and 86 have the same geometries as corresponding transistors 42, 44 which form the active input resistor 18, illustrated in Fig. 3C. It should be noted that the active resistors may be formed using n-channel or p-channel devices, depending on the actual values of voltages V_{HIGH} and V_{LOW} .

Current I will flow from V_{DDQ} to ground and generate a voltage drop across the active resistor $V = I * R_{ACTIVE}$. Because of the equivalence between the circuit components discussed above, when V_{SOURCE} and V_{SINK} are applied to transistors 80 and 90 respectively, the transistors will try to support a current equal to the same

steady-state current $I = (V_{\text{HIGH}} - V_{\text{LOW}})/R_{\text{EXT}}$ that exists in reference circuit 45 of Fig. 4B. The voltage at node 96 is compared with V_{HIGH} by comparator 92, whose output V_{RES} controls the active resistance. The feedback loop will dynamically adjust the resistance until the voltage at node 96 equals V_{HIGH} . Because of the

5 equivalence between these circuit components and those in reference circuit 45, discussed above, when the voltage at node 96 equals V_{HIGH} , current I from V_{DDQ} to node 96 is the same as in reference circuit 45, i.e., $(V_{\text{HIGH}} - V_{\text{LOW}})/R_{\text{EXT}}$, and the voltage at node 98 is V_{LOW} . Therefore, the active resistance R_{ACTIVE} set by V_{RES} must be $(V_{\text{HIGH}} - V_{\text{LOW}})/I = R_{\text{EXT}}$. The control voltage V_{RES} is buffered and used to

10 set the resistance of all input buffer active resistors 18 (Fig. 3C) equal to R_{EXT} . Capacitor 94 is connected between node 100 and ground and may be formed by an n-channel transistor with the gate connected to node 100 and both the source and drain connected to ground. Capacitor 94 has the same layout dimensions as capacitor 41 in Fig. 3C and is duplicated in the circuit of Fig. 5 to insure that local

15 topographical conditions are identical in all cases when this resistor is used.

For the typical values of $V_{\text{HIGH}} = 1.4$ volts, $V_{\text{LOW}} = 1.0$ volts and $R_{\text{EXT}} = 100 \Omega$, when transistors 80 and 90 are biased at V_{SOURCE} and V_{SINK} , they will attempt to support a current flow of 4mA. Comparator 92 will adjust voltage V_{RES} until the voltage at node 96 equals a V_{HIGH} of 1.4 volts. The voltage at node 98 will

0 automatically be set to V_{LOW} of 1.0 volts because of the equivalence with the circuit elements used to generate the applied current source and sink biasing voltages V_{SOURCE} and V_{SINK} . Therefore, the active resistance will have a voltage drop of 1.4 to 1.0 volts with a current of 4mA and thus V_{RES} will set R_{ACTIVE} to 100Ω . Applying V_{RES} to transistors 42 and 44 comprising input resistor 18 (Fig. 3C) will

5 therefore create the desired input resistance of 100Ω .

Fig. 6 is a schematic diagram of output buffer 11, shown in Fig. 2, further including an active on-chip resistance 101 connected across transmission lines 14 and 16 and in parallel with resistor 18'. Active resistor 101 is comprised of series transistors 102 and 104 with capacitor 106 connected between them at node 108 to

0 ground. Transistors 102 and 104 have substantially the same geometries as the

active resistances discussed above. Therefore, when the gates of transistors 102 and 104 are biased to V_{RES} , active resistor 101 will have a resistance equal to R_{EXT} . This additional resistance will absorb signals which are induced in the transmission lines 14, 16 and flow back to the output buffer 11 and will also improve the matching characteristics of the output buffer 11 to the transmission lines 14, 16 by ensuring that the output buffer 11 and transmission lines 14, 16 are properly balanced. In this embodiment, both ends of the balanced transmission lines 14, 16 are terminated by a resistance and therefore the output buffer 11 must provide double the current to maintain the proper V_{HIGH} to V_{LOW} drop across resistor 18'. This may be accomplished by doubling the width of the current source and switch transistors in the driving circuit (i.e., switch transistors 27-30 and current source/sink transistors 38, 40). Alternatively, this may be done by duplicating output buffer to provide two identical circuits operating parallel to each other, each supplying one-half of the required current. Capacitor 106 functions as an AC ground and may be formed by an n-channel transistor with the gate connected to node 108 and both the source and drain connected to ground.

Fig. 7 is a schematic diagram of input buffer 12, shown in Fig. 3C, further including an internal 1-bit RAM cell 110 located between active resistance 18 and comparator 19. The RAM cell 110 of the input buffer 12 provides hysteresis which prevents the output of comparator 19 from oscillating when input lines 14' and 16 are not being actively driven. RAM cell 110 is formed using the same circuit configuration as in output buffer 11 of Fig. 3A to insure that this memory cell limits the voltage swing to the same voltage levels being generated by the output buffer. An equivalent circuit with p-channel devices can also be made similar to the p-channel embodiments discussed above. The sizes of the components in RAM cell 110 may be scaled down from corresponding device sizes in output buffer 11 because it does not need to supply current to drive the output transmission lines 14', 16'.

An alternative embodiment of I/O buffer 10 is illustrated in Figs. 8 and 9. This embodiment allows multiple I/O buffers to share a single pair of connecting

wires by including enabling and disabling means to allow the circuit to be "tri-statable." Fig. 8 shows the output buffer 11 further including data out enable circuit 200 and active on-chip output resistance 101 further including resistance enable circuit 202.

- 5 Data output enable circuit 200 is controlled by data out enable signal DO_{ENB} and is comprised of gates 204 and 206 which pass signals 32 and 34 when enabled by DO_{ENB} and bias switches 27-29 in a non-conducting state when disabled. These gates may be AND gates as shown in Fig. 8A or any other circuit which performs the enabling function. Also, depending on the enabling circuitry employed, DO_{ENB} 0 may be active high or active low. Further, if inverting gates are used, the polarity of the phase splitter 31 may have to be reversed by, e.g., switching the connection of signal 32 with signal 34. Four gates can be used, one for each switch to ensure that the edges can be adjusted independently of one another for high speed operation. (Not shown.)
- 5 Resistance enable circuit 202 is a switching circuit controlled by resistance enable signal R_{ENB} that biases transistors 102, 104 of active resistance 101 to either V_{RES} or ground. In one embodiment, resistance enable circuit 200 is comprised of inverter 208 which drives transmission gate 210 and transistor 212. When R_{ENB} is active, transmission gate 210 is in the conducting state, transistor 212 is non- 0 conducting, and V_{RES} is applied to active resistance 101. When R_{ENB} is not active, transmission gate 210 is non-conducting and transistor 212 is on, thus biasing transistors 102 and 104 at ground and placing them in non-conducting states, so they 5 produce a higher resistance instead of about 100 Ω .

- Fig. 9 is a circuit diagram of the output buffer 11 shown in Fig. 8 and the 5 input buffer 12 connected to the same transmission line pair 14, 16 as generically indicated in Fig. 1B. In this configuration, resistor 101 controlled by switch circuit 202 may function as either an output resistor as indicated in Fig. 6 or as an input resistance as indicated in Figs. 2 and 3C. The connections between data out enable circuit 200 to switches A1, A2, B1, and B2 and the biasing voltages are not shown 0 for clarity. It can be appreciated that input comparator 19 will detect the voltage

generated across transmission lines 14 and 16. If I/O buffer 10 is transmitting data, switches A1, A2, B1, and B2 will be enabled. If the buffer is only receiving data, the switches can be disabled. Resistor 101 should be enabled if it is necessary to provide a terminating resistance for transmission lines 14 and 16.

- 5 Fig. 10 shows four I/O buffers 300, 302, 304, and 306 as in Fig. 9 with input buffers 330, 332, 334, and 336 and output buffers 340, 342, 344, and 346 respectively. I/O buffers 300-306 are arranged in a bus configuration as shown in Fig. 1B. The buffers are connected by a single pair of transmission lines 14, 16 and each has a voltage controlled resistor 310, 312, 314, 316 and enabling switch 318.
- 0 320, 322, and 324 respectively as discussed with respect to Figs. 8 and 9, above. Data that is transmitted on transmission lines 14 and 16 is detected by all the input buffers 330, 334, 336, and 338. Each buffer may be located on a separate IC and the arrangement is not limited to four I/O buffers.

- I/O buffers 300 and 306 are connected to transmission lines 14 and 16 at the
- 5 terminating points. To provide a proper terminating resistance, resistors 310 and 316 in I/O buffers 300, 306 are connected across transmission lines 14 and 16 by enabling switches 318 and 324 as shown. Resistors 312 and 314 in buffers 302 and 304 are disabled so that current is not unnecessarily drawn from transmission lines 14, 16.

- 6 The output buffers 340, 342, 344, and 345 are enabled or disabled depending on whether they are transmitting or receiving data. For example, assume that output buffer 340 in buffer 300 is enabled and is driving a data signal onto the bus. Half of the current will flow through resistor 310 and the other half will flow through resistor 316. Resistors 312 and 314 as well as output buffers 342, 344, and 346 are
- 5 all in the disabled state so that they do not draw any current. Thus, the voltage drop across resistors 310 and 316 will be the proper V_{HIGH} to V_{LOW} voltage drop in accordance with the biasing voltages V_{SOURCE} , V_{SINK} , and V_{RES} , set by the reference circuits based on reference voltages V_{HIGH} and V_{LOW} , and external reference resistor R_{EXT} as discussed above. This voltage drop is detected by input buffers 330, 332,
- 6 334, and 336. When data is sent by buffer 302, output buffer 342 is enabled and

output buffers 340, 344 and 346 are disabled. Half of the source current flows to the right and through resistor 316 and the other half goes to the left through resistor 310. Note that the enabled/disabled configuration for resistors 310, 312, 314, and 316 does not have to be changed. The configuration can be set during startup.

Fig. 9 is a circuit diagram of an input buffer and output buffer connected in parallel to a single data bus; and

Fig. 10 is a circuit diagram of four I/O buffers as in Fig. 9 connected to a common bus as shown in Fig. 1B.

FIG. 1A
PRIOR ART

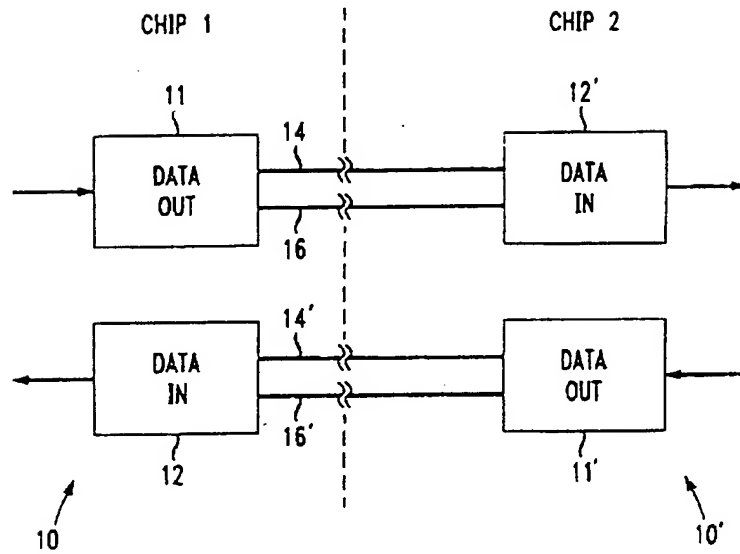


FIG. 1B
PRIOR ART

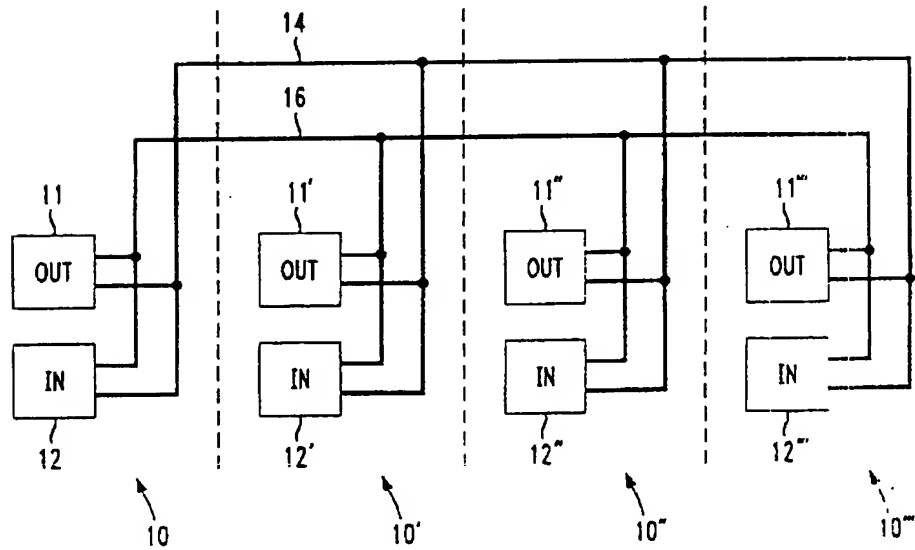


FIG. 2

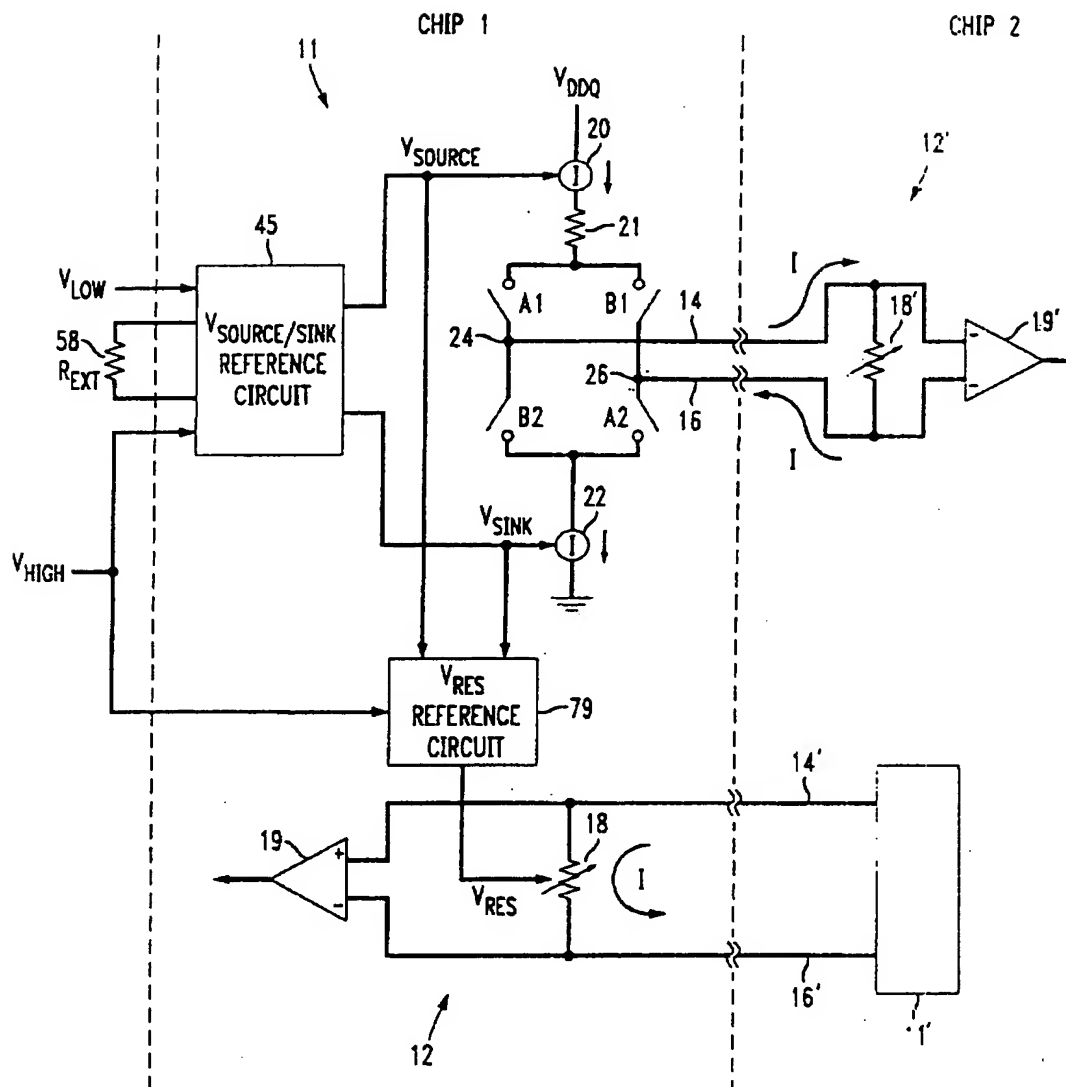
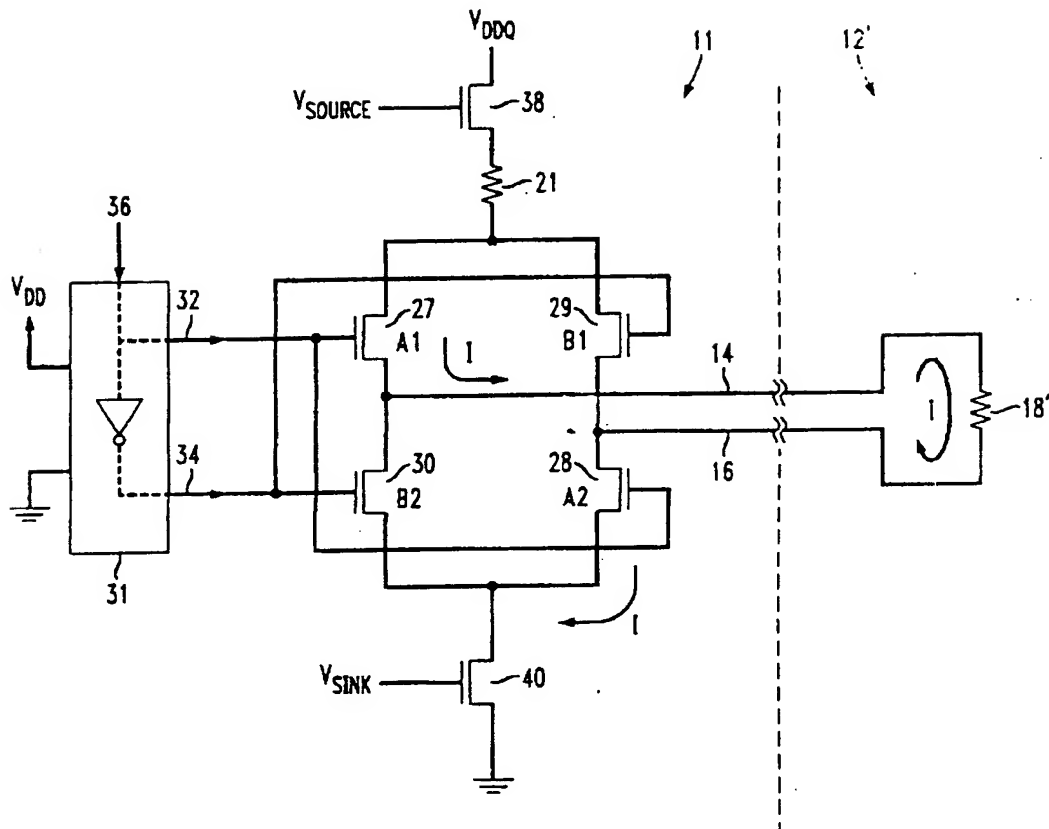


FIG. 3A



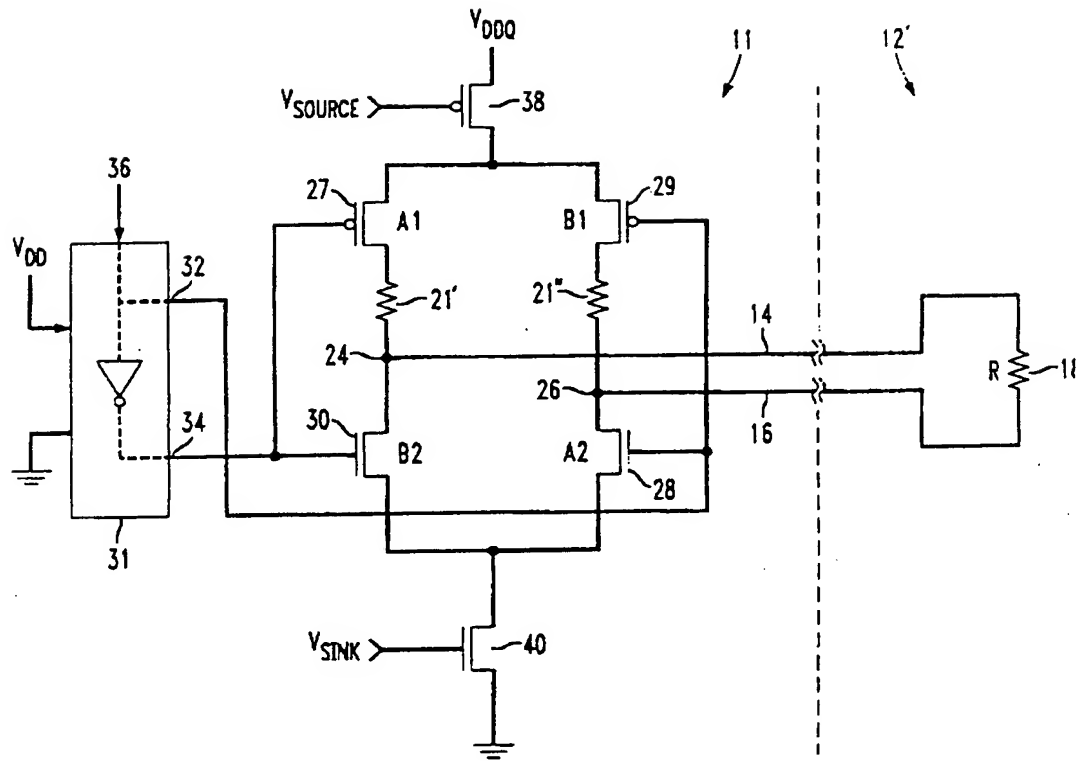
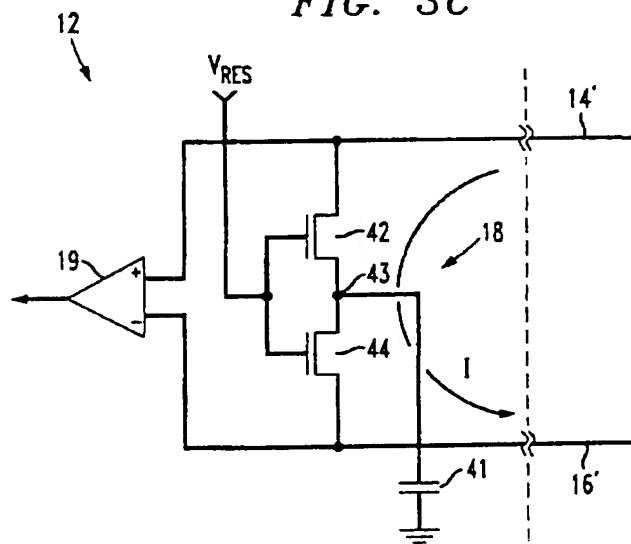


FIG. 3C



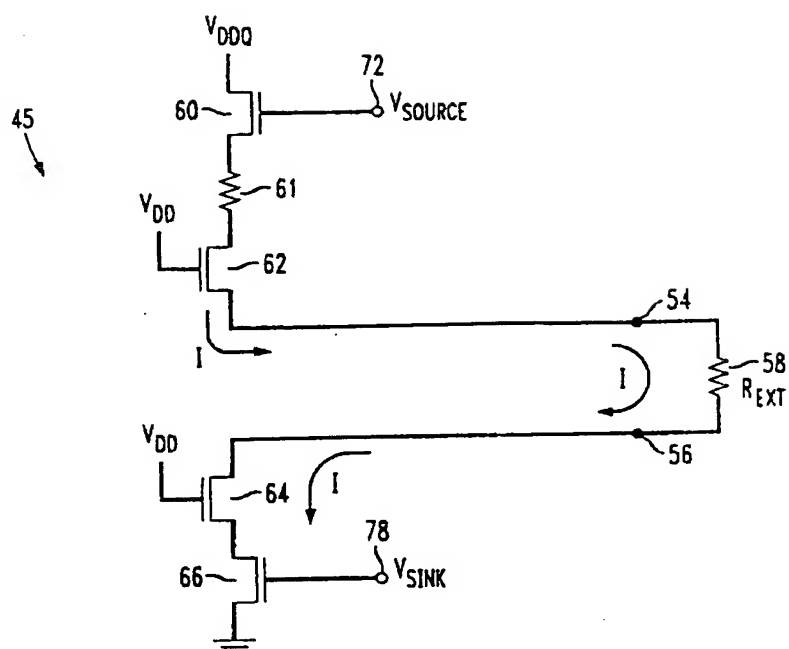


FIG. 4B

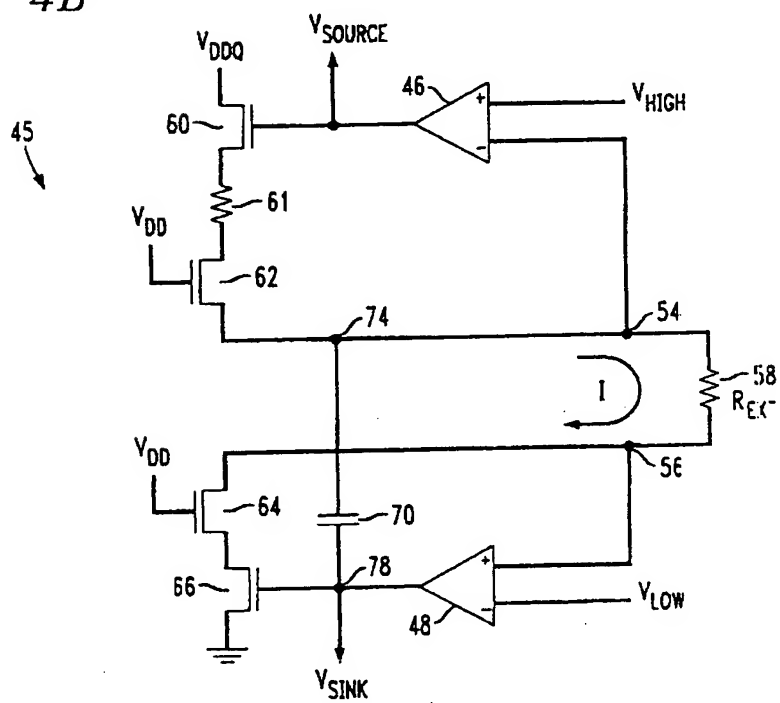


FIG. 4C

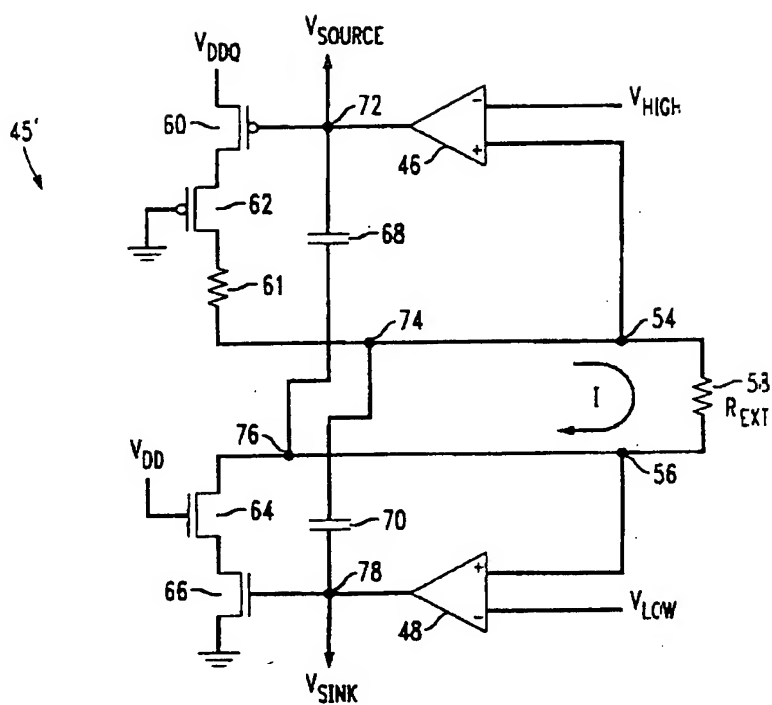


FIG. 5

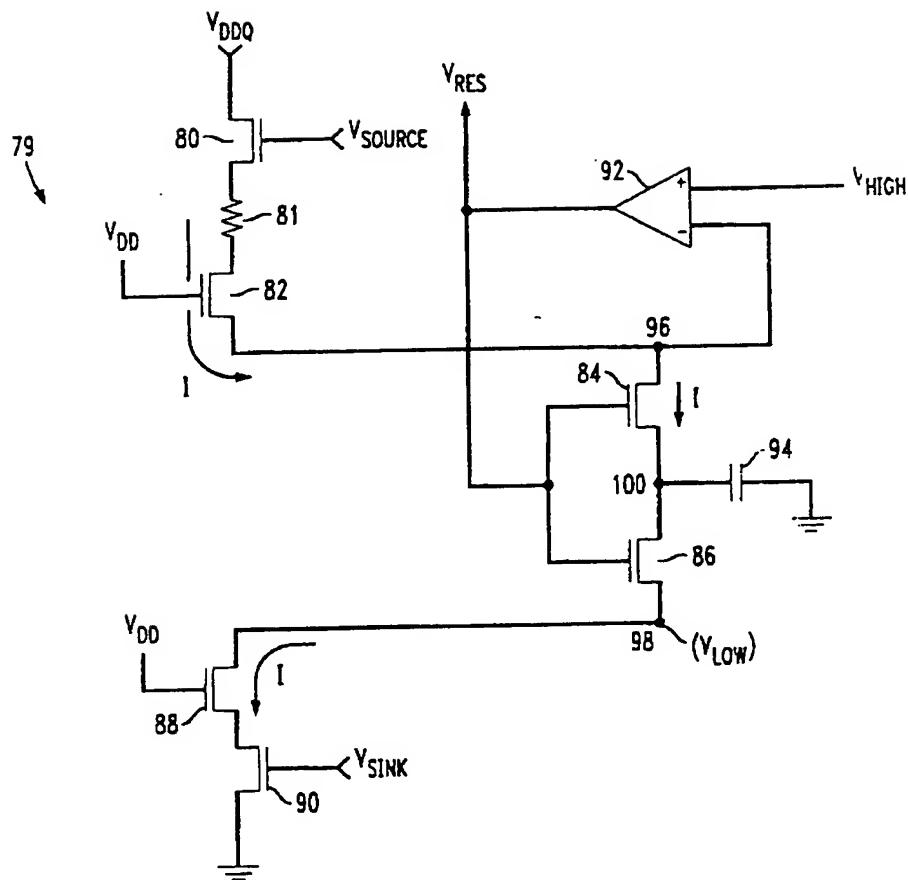


FIG. 6

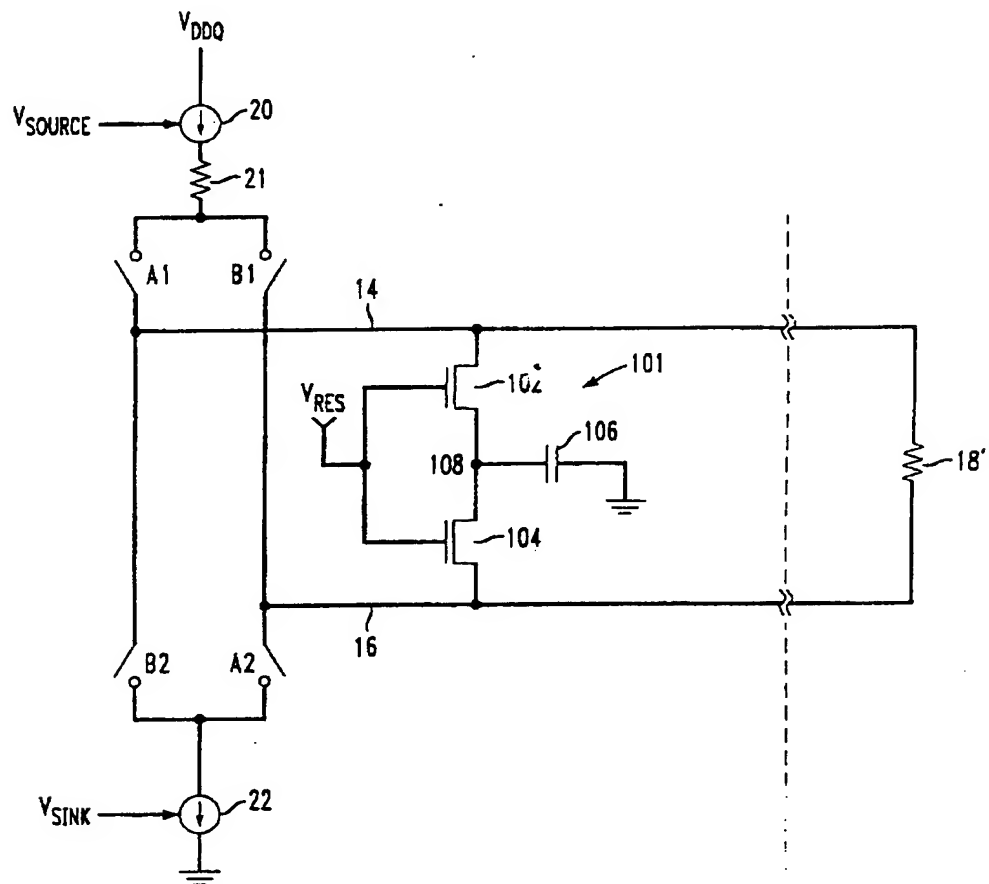


FIG. 7

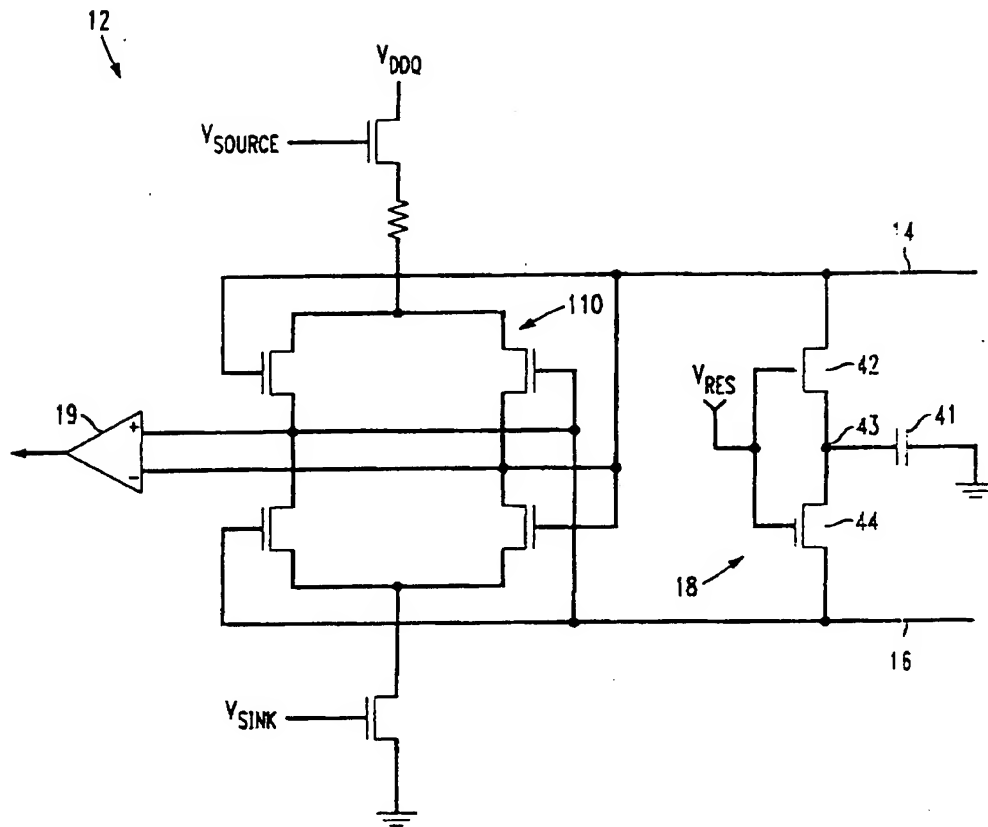


FIG. 8

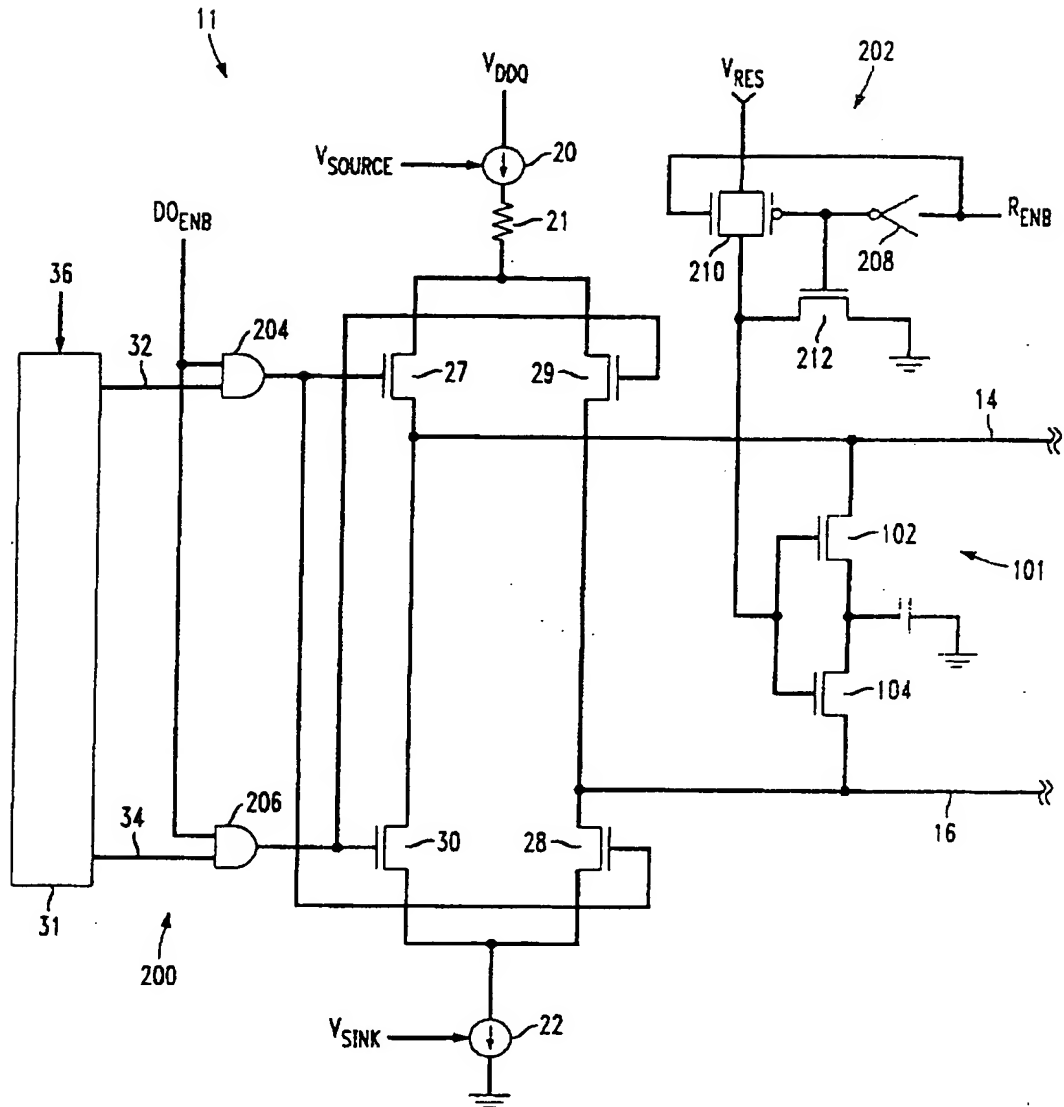
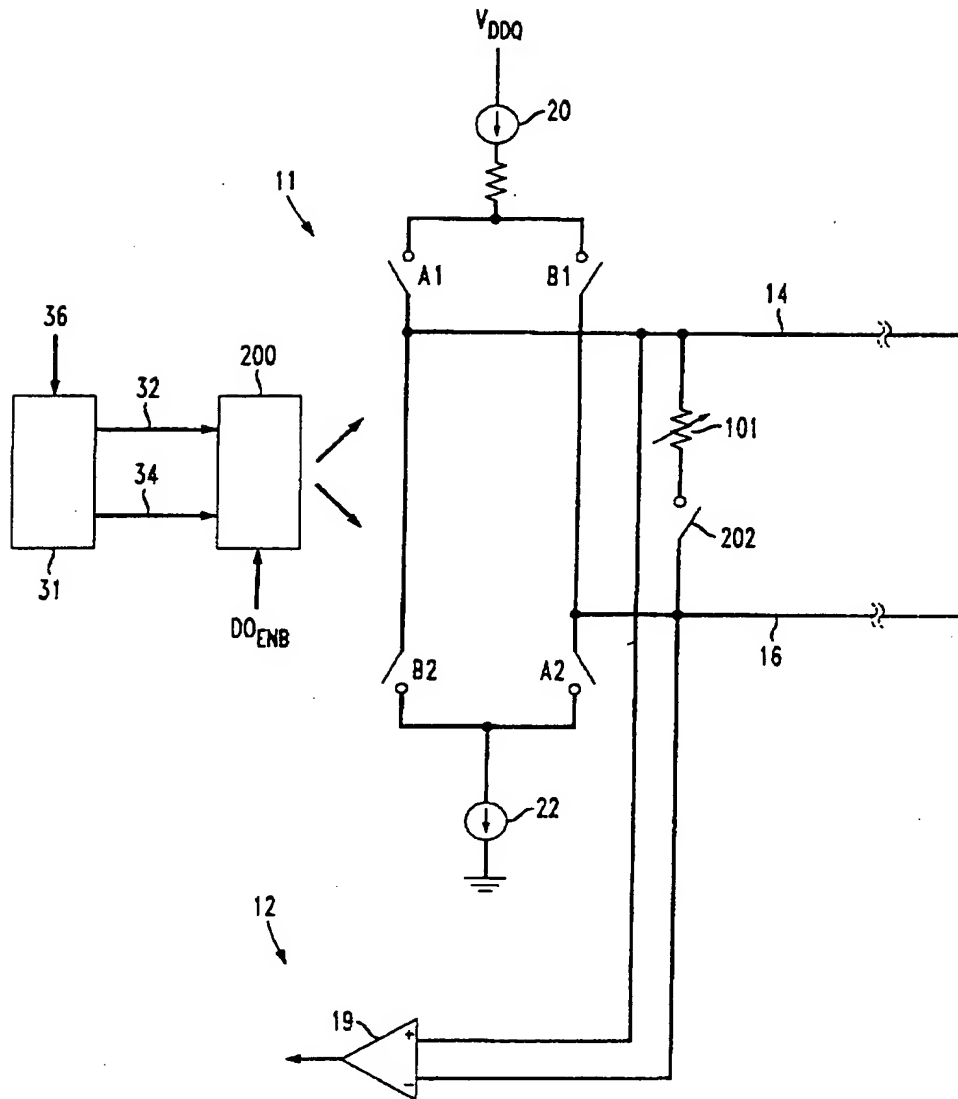


FIG. 9



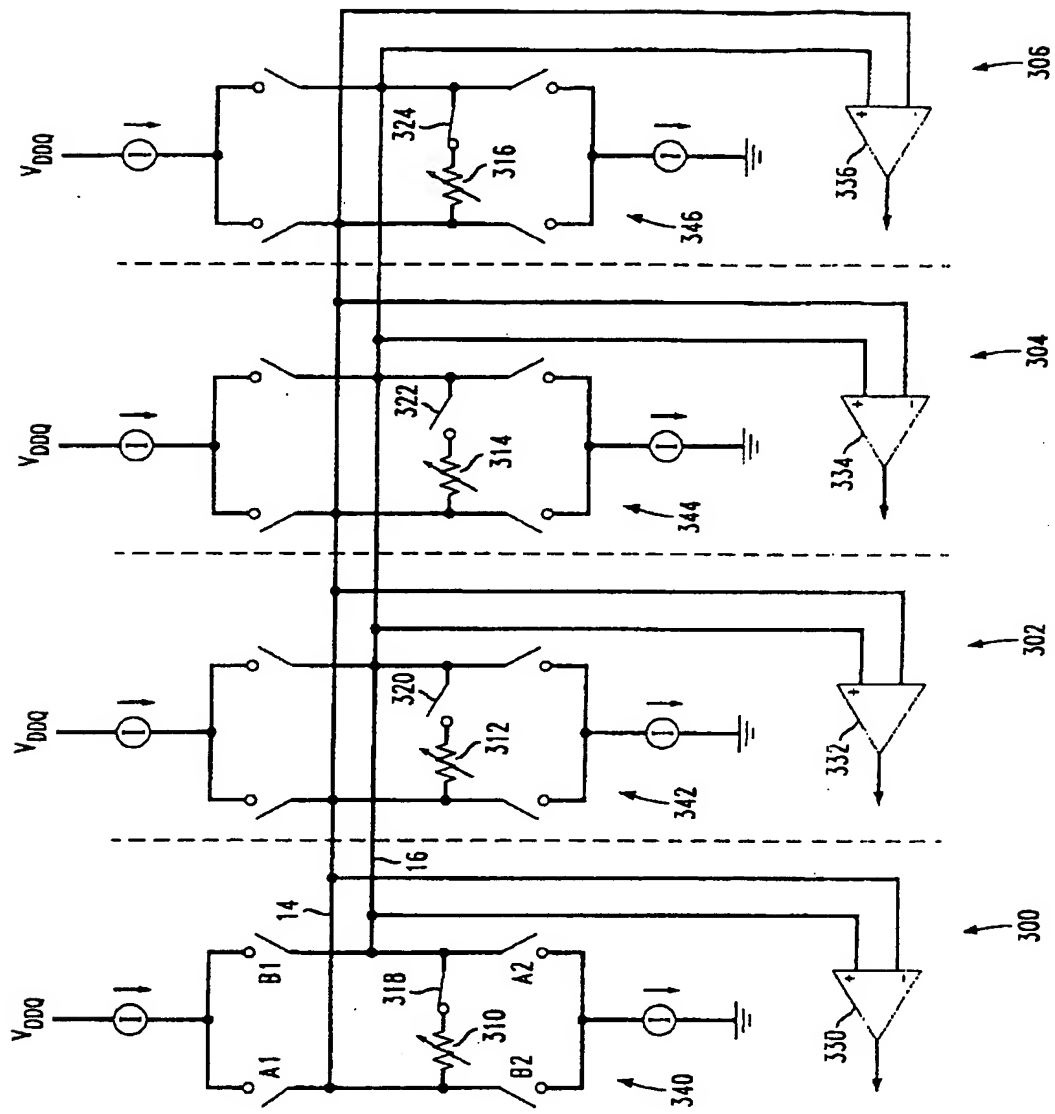


FIG. 10

A low voltage differential swing interconnect I/O buffer with an output buffer part comprising a voltage controlled current source, voltage controlled current sink, and a current switch and an input buffer part comprising a voltage controlled resistance. The output current and input resistance of the I/O buffer is determined by biasing voltages which are generated by on-chip reference circuits and applied to the voltage controlled components of the I/O buffer. Using two input reference voltages and a single reference resistor, the reference circuits dynamically adjust the biasing voltages so that the I/O buffer maintains the required output current and input resistance for all manufacturing process, supply voltage, and chip temperature variations.

2 Representative Drawing

Figure 2